

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 1 年 6 月 1 3 日
Date of Application:

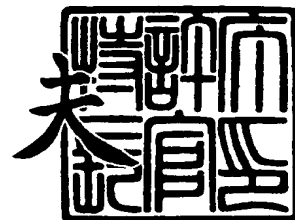
出 願 番 号 特 願 2 0 0 1 - 1 7 9 1 0 6
Application Number:
[ST. 10/C] : [J P 2 0 0 1 - 1 7 9 1 0 6]

出 願 人 株式会社アドバンテスト
Applicant(s):

2 0 0 3 年 1 0 月 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 3 - 3 0 8 2 8 3 3

【書類名】 特許願

【整理番号】 10268

【提出日】 平成13年 6月13日

【あて先】 特許庁長官 殿

【国際特許分類】 G01R

【発明の名称】 半導体デバイス試験装置、及び半導体デバイス試験方法

【請求項の数】 23

【発明者】

【住所又は居所】 東京都練馬区旭町 1 丁目 3 2 番 1 号株式会社アドバンテスト内

【氏名】 土井 優

【特許出願人】

【識別番号】 390005175

【氏名又は名称】 株式会社アドバンテスト

【代理人】

【識別番号】 100104156

【弁理士】

【氏名又は名称】 龍華 明裕

【電話番号】 (03)5366-7377

【手数料の表示】

【予納台帳番号】 053394

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体デバイス試験装置、及び半導体デバイス試験方法

【特許請求の範囲】

【請求項 1】 半導体デバイスの出力データに基づいて、前記半導体デバイスを試験する半導体デバイス試験装置であって、

前記半導体デバイスを試験するための試験パターンを生成するパターン発生器と、

前記試験パターンを整形し、前記半導体デバイスに供給する波形整形部と、

前記出力データに対して、わずかずつ位相の異なる複数のストローブを有する第 1 マルチストローブを発生する第 1 マルチストローブ発生器と、

前記第 1 マルチストローブに基づいて、前記出力データの波形の立上がり又は立下りのタイミングを検出する出力データ変化点検出部と、

前記出力データの受け渡しのタイミングを定める信号であって、前記半導体デバイスが前記出力データに付随して出力する基準クロックに対して、わずかずつ位相の異なる複数のストローブを有する第 2 マルチストローブを発生する第 2 マルチストローブ発生器と、

前記第 2 マルチストローブに基づいて、前記基準クロックの波形の立上がり又は立下りのタイミングを検出する基準クロック変化点検出部と、

前記出力データ変化点検出部が検出した、前記出力データの波形の立上がり又は立下りのタイミングに基づいて、前記出力データにおけるグリッチの有無を検出するグリッチ検出部と、

前記出力データ変化点検出部が検出した、前記出力データの波形の立上がり又は立下りのタイミングと、前記基準クロック変化点検出部が検出した、前記基準クロックの波形の立上がり又は立下りのタイミングとに基づいて、前記半導体デバイスの良否を判定する判定部と

を備えることを特徴とする半導体デバイス試験装置。

【請求項 2】 前記判定部は、前記グリッチ検出部が検出した前記グリッチの有無に更に基づいて、前記半導体デバイスの良否を判定することを特徴とする請求項 1 に記載の半導体デバイス試験装置。

【請求項 3】 前記第 1 マルチストローブ発生器及び前記第 2 マルチストローブ発生器のそれぞれは、縦続接続された複数の遅延素子を有し、縦続接続された複数の前記遅延素子にストローブを供給し、複数の前記遅延素子がそれぞれ遅延させて出力するストローブに基づいて、前記第 1 マルチストローブ又は前記第 2 マルチストローブを発生することを特徴とする請求項 1 又は 2 に記載の半導体デバイス試験装置。

【請求項 4】 前記判定部は、前記出力データ変化点検出部が検出した、前記出力データの波形の立上がり又は立下がりのタイミングと、前記基準クロック変化点検出部が検出した、前記基準クロックの波形の立上がり又は立下がりのタイミングとの位相差が、予め定められた範囲内で有るか否かに基づいて、前記半導体デバイスの良否を判定することを特徴とする請求項 1 から 3 のいずれかに記載の半導体デバイス試験装置。

【請求項 5】 前記出力データ、及び前記基準クロックを、H 論理又は L 論理で表されるデジタルデータに変換するレベル比較器を更に備え、

前記出力データ変化点検出部は、前記第 1 マルチストローブのそれぞれのストローブの位相における前記デジタルデータに変換された前記出力データの値を検出し、前記第 1 マルチストローブのうちの第 1 のストローブの位相における前記出力データの値と、前記第 1 のストローブに隣接する第 2 のストローブの位相における前記出力データの値とが異なる場合に、前記第 1 のストローブの位相を、前記出力データの値の変化点として検出し、

前記基準クロック変化点検出部は、前記第 2 マルチストローブのそれぞれのストローブの位相における前記デジタルデータに変換された前記基準クロックの値を検出し、前記第 2 マルチストローブのうちの第 3 のストローブの位相における前記基準クロックの値と、前記第 3 のストローブに隣接する第 4 のストローブの位相における前記基準クロックの値とが異なる場合に、前記第 3 のストローブの位相を、前記基準クロックの値の変化点として検出し、

前記判定部は、前記出力データの値の変化点と、前記基準クロックの値の変化点とに基づいて、前記半導体デバイスの良否を判定することを特徴とする請求項 1 から 4 のいずれかに記載の半導体デバイス試験装置。

【請求項 6】 前記判定部は、前記出力データ変化点検出部が、前記第 1 マルチストローブのいずれのストローブのタイミングにおいて、前記出力データの値の変化点を検出したかを示す、前記第 1 マルチストローブのストローブ番号と、前記基準クロック変化点検出部が、前記第 2 マルチストローブのいずれのストローブのタイミングにおいて、前記基準クロックの値の変化点を検出したかを示す、前記第 2 マルチストローブのストローブ番号との番号差が、予め定められた範囲で有るか否かに基づいて、前記半導体デバイスの良否を判定することを特徴とする請求項 5 に記載の半導体デバイス試験装置。

【請求項 7】 前記判定部は、前記出力データの値の変化点を検出した、前記第 1 マルチストローブのストローブ番号と、前記基準クロックの値の変化点を検出した、前記第 2 マルチストローブのストローブ番号とのそれぞれの組み合わせに対する、前記半導体デバイスの良否を定める参照表を格納する手段を有し、前記参照表に基づいて、前記半導体デバイスの良否を判定することを特徴とする請求項 5 に記載の半導体デバイス試験装置。

【請求項 8】 前記グリッチ検出部は、前記出力データの値の変化点に基づいて、前記出力データにおけるグリッチの有無を検出することを特徴とする請求項 5 から 7 のいずれかに記載の半導体デバイス試験装置。

【請求項 9】 前記グリッチ検出部は、前記出力データの値の変化点が 2 以上有る場合に、前記出力データにグリッチが有ると判定することを特徴とする請求項 8 に記載の半導体デバイス試験装置。

【請求項 10】 前記出力データ変化点検出部は、前記出力データの値の変化点において、前記デジタルデータの値が、H 論理から L 論理に変化したか、又は L 論理から H 論理に変化したかを検出する手段を有することを特徴とする請求項 5 から 9 のいずれかに記載の半導体デバイス試験装置。

【請求項 11】 前記出力データ変化点検出部は、複数の前記出力データの値の変化点を検出した場合に、位相の最も早い前記変化点、又は位相の最も遅い前記変化点を、前記出力データの値の変化点とすることを特徴とする請求項 5 から 10 のいずれかに記載の半導体デバイス試験装置。

【請求項 12】 半導体デバイスの出力データに基づいて、前記半導体デバ

イスを試験する半導体デバイス試験装置であって、

前記半導体デバイスを試験するための試験パターンを生成するパターン発生器と、

前記試験パターンを整形し、前記半導体デバイスに供給する波形整形部と、

前記出力データに対して、わずかずつ位相の異なる複数のストローブを有する第1マルチストローブを発生する第1マルチストローブ発生器と、

前記出力データの受け渡しのタイミングを定める信号であって、前記半導体デバイスが前記出力データに付随して出力する基準クロックの波形の立上がり又は立下がりタイミングである出力タイミングを計測する基準位相計測部と、

前記出力タイミングを記憶する基準位相記憶部と、

前記第1マルチストローブに基づいて、前記出力データの値の変化点を検出する変化点検出部と、

前記出力データの値の変化点に基づいて、前記出力データにおけるグリッチの有無を検出するグリッチ検出部と、

前記出力タイミングと、前記出力データの値の変化点との位相差を計測する位相差計測部と、

前記グリッチの有無、及び前記位相差に基づいて、前記半導体デバイスの良否を判定する判定部と

を備えることを特徴とする半導体デバイス試験装置。

【請求項13】 前記第1マルチストローブ発生器は、縦続接続された複数の遅延素子を有し、縦続接続された複数の前記遅延素子にストローブを供給し、複数の前記遅延素子がそれぞれ遅延させて出力するストローブに基づいて、前記第1マルチストローブを発生することを特徴とする請求項12に記載の半導体デバイス試験装置。

【請求項14】 前記グリッチ検出部は、前記変化点検出部が検出した前記出力データの値の変化点が、2点以上有る場合に、前記出力データにグリッチが有ると判定することを特徴とする請求項12又は13に記載の半導体デバイス試験装置。

【請求項15】 前記変化点検出部は、前記出力データを、H論理又はL論

理で表されるデジタルデータに変換する手段を有し、

前記変化点検出部は、前記第1マルチストローブのそれぞれのストローブの位相における前記デジタルデータの値を検出し、前記第1マルチストローブのうちの第1のストローブの位相におけるデジタルデータの値と、前記第1のストローブに隣接する第2のストローブの位相におけるデジタルデータの値とが異なる場合に、前記第1のストローブの位相を、前記出力データの値の変化点として検出することを特徴とする請求項12から14のいずれかに記載の半導体デバイス試験装置。

【請求項16】 前記変化点検出部は、前記変化点において、前記デジタルデータの値が、H論理からL論理に変化したか、又はL論理からH論理に変化したかを検出する手段を有することを特徴とする請求項15に記載の半導体デバイス試験装置。

【請求項17】 前記変化点検出部は、複数の前記出力データの値の変化点を検出した場合に、位相の最も早い前記変化点、又は位相の最も遅い前記変化点を、前記出力データの値の変化点とすることを特徴とする請求項12から16のいずれかに記載の半導体デバイス試験装置。

【請求項18】 前記基準位相計測部は、
前記基準クロックに対して、わずかずつ位相の異なる複数のストローブを有する第2マルチストローブを発生する手段と、

前記第2マルチストローブに基づいて、前記基準クロックの値の変化点を検出する手段と、

前記基準クロックの値の変化点を検出した前記第2マルチストローブのストローブ番号に基づいて、前記基準クロックの前記出力タイミングを算出する手段とを有することを特徴とする請求項12から17のいずれかに記載の半導体デバイス試験装置。

【請求項19】 前記基準位相記憶部は、前記基準クロックの値の変化点を検出した前記第2マルチストローブのストローブ番号を格納することを特徴とする請求項18に記載の半導体デバイス試験装置。

【請求項20】 前記第1マルチストローブ発生器発生部は、前記基準位相

記憶部が格納した前記第 2 マルチストローブのストローブ番号に基づいて、前記第 1 マルチストローブの位相を定めることを特徴とする請求項 19 に記載の半導体デバイス試験装置。

【請求項 21】 半導体デバイスの出力データに基づいて、前記半導体デバイスを試験する半導体デバイス試験方法であって、

前記出力データに対して、わずかずつ位相の異なる複数のストローブを有する第 1 マルチストローブを発生する第 1 マルチストローブ発生段階と、

前記第 1 マルチストローブに基づいて、前記出力データの波形の立上がり又は立下がりのタイミングを検出する出力データ変化点検出段階と、

前記出力データの受け渡しのタイミングを定める信号であって、前記半導体デバイスが前記出力データに付随して出力する基準クロックに対して、わずかずつ位相の異なる複数のストローブを有する第 2 マルチストローブを発生する第 2 マルチストローブ発生段階と、

前記第 2 マルチストローブに基づいて、前記基準クロックの波形の立上がり又は立下がりのタイミングを検出する基準クロック変化点検出段階と、

前記出力データ変化点検出段階が検出した、前記出力データの波形の立上がり又は立下がりのタイミングと、前記基準クロック変化点検出段階が検出した、前記基準クロックの波形の立上がり又は立下がりのタイミングとに基づいて、前記半導体デバイスの良否を判定する判定段階と

を備えることを特徴とする半導体デバイス試験方法。

【請求項 22】 前記出力データの値の変化点に基づいて、前記出力データにおけるグリッチの有無を検出するグリッチ検出段階を更に備え、

前記判定段階は、前記グリッチ検出段階が検出したグリッチの有無に更に基づいて前記半導体デバイスの良否を判定することを特徴とする請求項 21 に記載の半導体デバイス試験方法。

【請求項 23】 半導体デバイスの出力データに基づいて、前記半導体デバイスを試験する半導体デバイス試験方法であって、

前記出力データの受け渡しのタイミングを定める信号であって、前記半導体デバイスが前記出力データに付随して出力する基準クロックの、出力タイミングを

計測する基準位相計測段階と、

前記出力タイミングを記憶する基準位相記憶段階と、

前記出力データに対して、わずかな位相の異なる複数のストローブを有する第1マルチストローブを発生する第1マルチストローブ発生段階と、

前記第1マルチストローブに基づいて、前記出力データの値の変化点を検出する出力データ変化点検出段階と、

前記出力タイミングと、前記出力データの値の変化点との位相差を計測する位相差計測段階と、

前記出力データの値の変化点に基づいて、前記出力データにおけるグリッチの有無を検出するグリッチ検出段階と、

前記グリッチの有無、及び前記位相差に基づいて、前記半導体デバイスの良否を判定する判定段階と

を備えることを特徴とする半導体デバイス試験方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は高速で書き込み、および読み出しが可能なメモリを装備した半導体デバイスを試験する場合に用いて好適な半導体デバイス試験方法およびこの試験方法を用いて動作する半導体デバイス試験装置に関する。

【0002】

【従来の技術】

この発明に係わる従来の技術を説明する前に念のため一般的な半導体デバイスを試験する半導体デバイス試験装置の概要を説明する。図25は、従来の半導体デバイス試験装置の構成を示す。図25中T E Sは半導体デバイス試験装置の全体を示す。半導体デバイス試験装置T E Sは主制御器13と、パターン発生器14、タイミング発生器15、波形フォーマッタ16、論理比較器12、ドライバ17、信号読取回路11、不良解析メモリ18、論理振幅基準電圧源19、比較基準電圧源21、デバイス電源22等により構成される。

【0003】

主制御器 13 は一般にコンピュータシステムによって構成され、利用者が作成した試験プログラムに従って主にパターン発生器 14 とタイミング発生器 15 を制御し、パターン発生器 14 から試験パターンデータを発生させ、この試験パターンデータを波形フォーマッタ 16 で実波形を持つ試験パターン信号に変換し、この試験パターン信号を論理振幅基準電圧源 19 で設定した振幅値を持った波形に電圧増幅するドライバ 17 を通じて被試験半導体デバイス DUT に印加し記憶させる。

【0004】

被試験半導体デバイス DUT から読み出した応答信号は信号読取回路 11 でその論理値を読み取る。論理比較器 12 は信号読取回路 11 で読み取った論理値がパターン発生器 14 から出力される期待値と比較し、期待値と不一致が発生した場合は、その読み出したアドレスのメモリセルに不良があるものと判定し、不良発生毎に不良解析メモリ 18 に不良アドレスを記憶し、試験終了時点で例えば不良セルの救済が可能か否かを判定する。

【0005】

図 25 は 1 ピン分の試験装置の構成を示すが現実には、この構成が被試験半導体デバイス DUT のピン数分は設けられ、各ピン毎にテストパターンの入力と、被試験半導体デバイス DUT の応答信号の取り込みが実行される。以上は一般的な半導体デバイスを試験する半導体デバイス試験装置の構成である。

【0006】

ところで半導体素子で構成されるメモリ等の半導体デバイスの品種の中にはクロックと共にデータを入力しクロックに同期して半導体デバイスへデータを書き込み、クロックと共にクロックに同期したデータが半導体デバイスから出力され、このクロックのタイミングを利用してデータの受け渡しを行うメモリが存在する。

【0007】

図 26 は、この種のメモリの読み出し時の様子を示す。図 26 A に示す DA、DB、DC…は半導体デバイスから出力されるデータ（ある 1 つのピンから出力されたデータ）を示す。TD1、TD2…は各テストサイクルを示す。図 26 B

に示すDQSはメモリから出力されるクロックを示す。データDA、DB、DC…はこのクロックDQSに同期して半導体デバイスから出力される。このクロックは実用されている状態では他の回路にデータDA、DB、DC…を受け渡す際の同期信号（データストロブ）として利用される。

【0008】

この種の半導体デバイスを試験する場合の試験項目の一つに、各クロックDQS（以下このクロックを基準クロックと称す）の立上りおよび立下りのタイミングから、データの変化点までの時間差（位相差）dI1、dI2、dI3…を測定する項目がある。これらの時間差dI1、dI2、dI3…が例えば極力短い程応答が速く優れた特性を持つデバイスとして評価される。この時間差の長短によって被試験半導体デバイスのグレードが決定される。

【0009】

被試験半導体デバイスから出力される基準クロックDQSは実用されている状態ではクロック源で生成されたクロックが半導体デバイスに印加され、このクロックが半導体デバイスの内部の回路に配給され、このクロックに同期してデータが出力される。従って、半導体デバイス試験装置で試験を行う場合にも半導体デバイス試験装置側から被試験半導体デバイスにクロックを印加し、そのクロックが被試験半導体デバイスの内部を通り、データと共にデータ受渡しのための基準クロックとして出力される。従って、この基準クロックの立上りと立下りのタイミングを測定し、この測定した立上りと立下りのタイミングからデータDA、DB、DC…の変化点までの時間dI1、dI2、dI3…を測定することになる。

【0010】

上述したように半導体デバイスから出力される基準クロックはその半導体デバイスの内部を通過して出力されるため、その立上りのタイミングおよび立下りのタイミングはこの半導体デバイスの内部及び温度等の外的環境の影響を大きく受け、図27に示すように各半導体デバイス毎に基準クロックDQS1、DQS2、DQS3…の位相に差が発生する現象が見られる。さらに位相の差は各半導体デバイスの違いによるものに加えて、半導体デバイスの内部でもアクセスするメ

モリのアドレスの違い、時間の経過（熱的な変化）に従って変動するいわゆるジッタ J が発生する現象も見られる。

【0 0 1 1】

従って、基準クロック D Q S の立上りのタイミングおよび立下りのタイミングからデータ D A、D B、D C…の変化点までの時間 d I 1、d I 2、d I 3…を正確に測定するためには、まず半導体デバイスから出力される基準クロック D Q S の立上りのタイミングおよび立下りのタイミングを正確に測定しなければならない。このため、従来は半導体デバイス試験装置に装備している信号読取回路のストローブの印加タイミングを漸次移動させ、基準クロック D Q S の立上りおよび立下りのタイミングを測定し、その測定結果を使って時間 d I 1、d I 2、d I 3…を測定している。

【0 0 1 2】

図 2 8 は、従来用いられている基準クロック D Q S の立上りおよび立下りのタイミングを測定するための部分を示す。レベル比較器 1 0 は一対の電圧比較器 C P 1 と C P 2 によって構成され、これら一対の電圧比較器 C P 1 と C P 2 により被試験半導体デバイス D U T が出力する基準クロック D Q S の論理値が正規の電圧条件を満たしているか否かを判定する。電圧比較器 C P 1 は基準クロック D Q S の H 論理の電圧値が正規の電圧値 V O H 以上であるか否かを判定する。また電圧比較器 C P 2 は基準クロック D Q S の L 論理側の電圧値が正規の電圧 V O L 以下であるか否かを判定する。

【0 0 1 3】

これらの判定結果を信号読取回路 1 1 に入力し、この信号読取回路 1 1 で基準クロック D Q S の立上りのタイミングおよび立下りのタイミングを測定する。信号読取回路 1 1 はストローブ S T B の印加タイミング毎にそのとき入力されている論理値を読み取る動作を実行する。

【0 0 1 4】

図 2 9 は、D Q S に対するストローブの位相の一例を示す。ストローブ S T B は図 2 9 に示すように各テストサイクル毎に少しずつ位相差（ τT ）が与えられて印加される。つまり、テストサイクル毎にストローブ S T B が信号読取回路 1

1 に 1 個ずつ与えられて電圧比較器 CP 1 および CP 2 の出力の状態を読み取る動作を実行する。

【0015】

論理比較器 12 は信号読取回路 11 が出力する論理値と予め定めた期待値（図 28 の例では H 論理）とを比較し、信号読取回路 11 が出力する論理値が期待値と一致した時点でパス（良）を表わすパス信号 PA を出力する。レベル比較器 10 の出力が H 論理に反転したことを読み取ったストローブ STB 1（図 29 B）の発生タイミング（ストローブ STB の発生タイミングは既知）から時間 T1（図 29 C）を知り基準クロック DQS の立上りのタイミングを決定する。

【0016】

基準クロック DQS の立下りのタイミングを検出する場合はストローブ STB の発生は基準クロック DQS の H 論理に立上ったタイミングより後のタイミングで発生を開始し、立上りの検出と同様に電圧比較器 CP 2 の出力が H 論理に反転した状態を読み取ったストローブにより立下りのタイミングを検出する。

【0017】

【発明が解決しようとする課題】

上述したように、従来は基準クロック DQS の発生タイミングを半導体試験装置に装備している信号読取回路 11 とこの信号読取回路 11 に印加するストローブ STB を用いたタイミング測定手段を利用して測定しているから基準クロック DQS の立上りおよび立下りのタイミングを測定するだけでもテストサイクル T_D を何サイクルも繰り返し実行しなくてはならないため、時間がかかる欠点がある。

【0018】

しかも、基準クロック DQS の立上りおよび立下りのタイミングの測定は試験すべき被試験メモリの全てのアドレス、あるいは発熱によるジッタの影響を回避する場合には試験パターンの開始から終了までの全てにわたって測定しなければならないから、基準クロックの立上りおよび立下りのタイミングを測定するには長い時間が必要となる。基準クロック DQS の立上りおよび立下りのタイミングを測定する時間を短くする方法としてはストローブ STB に与える位相差 τ T を

粗く採り、テストサイクルの実行回数を減らすことも考えられるが、ストローブ STB に与える位相差 τT を粗く変化させると、基準クロック DQS の立上りおよび立下りのタイミング測定の精度が低下し、この結果として基準クロック DQS とデータ DA、DB、DC… の変化点までの時間 dI1、dI2、dI3… の測定結果の信頼性が低下する欠点がある。

【0019】

そこで本発明は、上記の課題を解決することのできる半導体デバイス試験装置、及び半導体デバイス試験方法を提供することを目的とする。この目的は、特許請求の範囲における独立項に記載の特徴の組み合わせにより達成される。また従属項は本発明の更なる有利な具体例を規定する。

【0020】

【課題を解決するための手段】

上記課題を解決するために、本発明の形態においては、半導体デバイスの出力データに基づいて、半導体デバイスを試験する半導体デバイス試験装置であって、半導体デバイスを試験するための試験パターンを生成するパターン発生器と、試験パターンを整形し、半導体デバイスに供給する波形整形部と、出力データに対して、わずかずつ位相の異なる複数のストローブを有する第1マルチストローブを発生する第1マルチストローブ発生器と、第1マルチストローブに基づいて、出力データの波形の立上がり又は立下がりのタイミングを検出する出力データ変化点検出部と、出力データの受け渡しのタイミングを定める信号であって、半導体デバイスが出力データに付随して出力する基準クロックに対して、わずかずつ位相の異なる複数のストローブを有する第2マルチストローブを発生する第2マルチストローブ発生器と、第2マルチストローブに基づいて、基準クロックの波形の立上がり又は立下がりのタイミングを検出する基準クロック変化点検出部と、出力データ変化点検出部が検出した、出力データの波形の立上がり又は立下がりのタイミングと、基準クロック変化点検出部が検出した、基準クロックの波形の立上がり又は立下がりのタイミングとに基づいて、半導体デバイスの良否を判定する判定部とを備えることを特徴とする半導体デバイス試験装置を提供する。

【0021】

第1マルチストローク発生器及び第2マルチストローク発生器のそれぞれは、縦続接続された複数の遅延素子を有し、縦続接続された複数の遅延素子にストロークを供給し、複数の遅延素子がそれぞれ遅延させて出力するストロークに基づいて、第1マルチストローク又は第2マルチストロークを発生してよい。また、判定部は、出力データ変化点検出部が検出した、出力データの波形の立上がり又は立下がりのタイミングと、基準クロック変化点検出部が検出した、基準クロックの波形の立上がり又は立下がりのタイミングとの位相差が、予め定められた範囲内で有るか否かに基づいて、半導体デバイスの良否を判定してよい。

【0022】

また、出力データ、及び基準クロックを、H論理又はL論理で表されるデジタルデータに変換するレベル比較器を更に備え、出力データ変化点検出部は、第1マルチストロークのそれぞれのストロークの位相におけるデジタルデータに変換された出力データの値を検出し、第1マルチストロークのうちの第1のストロークの位相における出力データの値と、第1のストロークに隣接する第2のストロークの位相における出力データの値とが異なる場合に、第1のストロークの位相を、出力データの値の変化点として検出し、基準クロック変化点検出部は、第2マルチストロークのそれぞれのストロークの位相におけるデジタルデータに変換された基準クロックの値を検出し、第2マルチストロークのうちの第3のストロークの位相における基準クロックの値と、第3のストロークに隣接する第4のストロークの位相における基準クロックの値とが異なる場合に、第3のストロークの位相を、基準クロックの値の変化点として検出し、判定部は、出力データの値の変化点と、基準クロックの値の変化点とに基づいて、半導体デバイスの良否を判定してよい。

【0023】

また、判定部は、出力データ変化点検出部が第1マルチストロークのいずれのストロークにおいて、出力データの値の変化点を検出したかを示す、第1マルチストロークのストローク番号と、基準クロック変化点検出部が第2マルチストロークのいずれのストロークにおいて、基準クロックの値の変化点を検出したかを

示す、第2マルチストローブのストローブ番号との番号差が、予め定められた範囲で有るか否かに基づいて、半導体デバイスの良否を判定してよい。また、判定部は、出力データの値の変化点を検出した、第1マルチストローブのストローブ番号と、基準クロックの値の変化点を検出した、第2マルチストローブのストローブ番号とのそれぞれの組み合わせに対する、半導体デバイスの良否を定める参照表を格納する手段を有し、参照表に基づいて、半導体デバイスの良否を判定してよい。

【0024】

また、出力データの値の変化点に基づいて、出力データにおけるグリッチの有無を検出するグリッチ検出部を更に備えてよい。グリッチ検出部は、出力データの値の変化点が2点以上有る場合に、出力データにグリッチが有ると判定してよい。

【0025】

また、出力データ変化点検出部は、出力データの値の変化点において、デジタルデータの値が、H論理からL論理に変化したか、又はL論理からH論理に変化したかを検出する手段を有してよい。また、出力データ変化点検出部は、複数の出力データの値の変化点を検出した場合に、位相の最も早い変化点、又は位相の最も遅い変化点を、出力データの値の変化点としてよい。

【0026】

本発明の第2の形態においては、半導体デバイスが出力するデータの発生タイミングを計測するために設けられた複数組の信号読取回路と、半導体デバイスが出力する基準クロックの発生タイミングを計測するために設けられた1組の信号読取回路と、信号読取回路のそれぞれの組に、わずかずつ位相の異なる複数のストローブを有するマルチストローブを印加するマルチストローブ発生手段と、複数組の信号読取回路のそれぞれが読み取った結果を期待値と比較する複数組の比較判定手段と、複数組の比較判定手段の判定結果の中の基準クロックの変化点を検出したストローブに基準ストローブ番号を与える基準ストローブ番号変換手段と、複数組の比較判定手段の判定結果の中の各データの変化点を検出したストローブのそれぞれにデータストローブ番号を与える複数のデータストローブ番号変

換手段と、基準ストローブ番号変換手段とデータストローブ番号変換手段が変換した基準ストローブ番号と各データストローブ番号との差を求める複数の位相差検出部と、複数の位相差検出部が出力する位相差が所定の範囲内にあるか否かを判定する良否判定手段とを備えることを特徴とする半導体デバイス試験装置を提供する。

【0027】

本発明の第3の形態においては、半導体デバイスが出力するデータの発生タイミングを計測するために設けられた複数組の信号読取回路と、半導体デバイスが出力する基準クロックの発生タイミングを計測するために設けられた1組の信号読取回路と、信号読取回路のそれぞれの組に、わずかずつ位相の異なる複数のストローブを有するマルチストローブを印加するマルチストローブ発生手段と、複数組の信号の読取回路のそれぞれが読み取った結果を期待値と比較する複数組の比較判定手段と、複数組の比較判定手段の判定結果の中の基準クロックの変化点を検出したストローブに基準ストローブ番号を与える基準ストローブ番号変換手段と、複数組の比較判定手段の判定結果の中の各データの変化点を検出したストローブのそれぞれにデータストローブ番号を与える複数のデータストローブ番号変換手段と、基準ストローブ番号が一方のアドレスに入力され、各データストローブ番号が他方のアドレスに入力されて各データの発生タイミングが所定の範囲内か否かを参照し、その参照結果を良否判定結果として出力する複数の参照表とを備えることを特徴とする半導体デバイス試験装置を提供する。

【0028】

マルチストローブ生成手段は、遅延時間がわずかずつ異なる複数の遅延素子を有し、複数の遅延素子にストローブを印加して、わずかずつ位相の異なる複数のストローブを含むマルチストローブを発生してよい。また、マルチストローブ発生手段は、同一遅延時間を持つ複数の遅延素子を継続接続し、縦続接続した複数の遅延素子の各接続点からマルチストローブを得る構成としてよい。また、複数の比較判定手段はマルチストローブで構成されるストローブの遅延時間が短い側から順にその比較判定結果を次に遅延時間が長い比較判定手段に出力し、各比較判定手段は各前段の比較判定結果と不一致を検出した比較判定手段のみから有効

とする判定結果を出力させ、この有効とする判定結果の出力ビット位置を基準クロックの変換点を検出したストローブのストローブ番号に変換してよい。

【0029】

本発明の第4の形態においては、半導体デバイスの出力データに基づいて、半導体デバイスを試験する半導体デバイス試験装置であって、半導体デバイスを試験するための試験パターンを生成するパターン発生器と、試験パターンを整形し、半導体デバイスに供給する波形整形部と、出力データに対して、わずかつ位相の異なる複数のストローブを有する第1マルチストローブを発生するマルチストローブ発生器と、出力データの受け渡しのタイミングを定める信号であって、半導体デバイスが出力データに付随して出力する基準クロックの、出力タイミングを計測する基準位相計測部と、出力タイミングを記憶する基準位相記憶部と、第1マルチストローブに基づいて、出力データの値の変化点を検出する変化点検出部と、出力データの値の変化点に基づいて、出力データにおけるグリッチの有無を検出するグリッチ検出部と、出力タイミングと、出力データの値の変化点との位相差を計測する位相差計測部と、グリッチの有無、及び位相差に基づいて、半導体デバイスの良否を判定する判定部とを備えることを特徴とする半導体デバイス試験装置を提供する。

【0030】

マルチストローブ発生器は、縦続接続された複数の遅延素子を有し、縦続接続された複数の遅延素子にストローブを供給し、複数の遅延素子がそれぞれ遅延させて出力するストローブに基づいて、マルチストローブを発生してよい。また、グリッチ検出部は、変化点検出部が検出した出力データの値の変化点が、2点以上有る場合に、出力データにグリッチがあると判定してよい。

【0031】

また、変化点検出部は、出力データを、H論理又はL論理で表されるデジタルデータに変換する手段を有し、変化点検出部は、第1マルチストローブのそれぞれのストローブの位相におけるデジタルデータの値を検出し、第1マルチストローブのうちの第1のストローブの位相におけるデジタルデータの値と、第1のストローブに隣接する第2のストローブの位相におけるデジタルデータの

値とが異なる場合に、第1のストローブの位相を、出力データの値の変化点として検出してよい。また、変化点検出部は、変化点において、デジタルデータの値が、H論理からL論理に変化したか、又はL論理からH論理に変化したかを検出してよい。

【0032】

また、変化点検出部は、複数の出力データの値の変化点を検出した場合に、位相の最も早い変化点、又は位相の最も遅い変化点を、出力データの値の変化点としてよい。また、基準位相計測部は、基準クロックに対して、順次わずかつ位相差が与えられた第2マルチストローブを発生する手段と、第2マルチストローブに基づいて、基準クロックの値の変化点を検出する手段と、基準クロックの値の変化点を検出した第2マルチストローブのストローブ番号に基づいて、基準クロックの出力タイミングを算出する手段とを有してよい。

【0033】

また、基準位相計測部は、基準クロックの値の変化点を検出した第2マルチストローブのストローブ番号を格納する手段を更に有してよい。また、第1マルチストローブ発生部は、基準位相計測部が格納した第2マルチストローブのストローブ番号に基づいて、第1マルチストローブの位相を定めてよい。

【0034】

本発明の第5の形態においては、半導体デバイスの出力データに基づいて、半導体デバイスを試験する半導体デバイス試験方法であって、出力データに対して、わずかつ位相の異なる複数のストローブを有する第1マルチストローブを発生する第1マルチストローブ発生段階と、第1マルチストローブに基づいて、出力データの波形の立上がり又は立下がりのタイミングを検出する出力データ変化点検出段階と、出力データの受け渡しのタイミングを定める信号であって、半導体デバイスが出力データに付随して出力する基準クロックに対して、わずかつ位相の異なる複数のストローブを有する第2マルチストローブを発生する第2マルチストローブ発生段階と、第2マルチストローブに基づいて、基準クロックの波形の立上がり又は立下がりのタイミングを検出する基準クロック変化点検出段階と、出力データ変化点検出段階が検出した、出力データの波形の立上がり又は

立下がりのタイミングと、基準クロック変化点検出段階が検出した、基準クロックの波形の立上がり又は立下がりのタイミングとに基づいて、半導体デバイスの良否を判定する判定段階とを備えてよい。また、出力データの値の変化点に基づいて、出力データにおけるグリッチの有無を検出するグリッチ検出段階を更に備えてよい。

【0035】

本発明の第6の形態においては、半導体デバイスの出力データに基づいて、半導体デバイスを試験する半導体デバイス試験方法であって、出力データの受け渡しのタイミングを定める信号であって、半導体デバイスが出力データに付随して出力する基準クロックの、出力タイミングを計測する基準位相計測段階と、出力タイミングを記憶する基準位相記憶段階と、出力データに対して、順次わずかずつ位相差が与えられた第1マルチストローブを発生する第1マルチストローブ発生段階と、第1マルチストローブに基づいて、出力データの値の変化点を検出する変化点検出段階と、出力タイミングと、出力データの値の変化点との位相差を計測する位相差計測段階と、出力データの値の変化点に基づいて、出力データにおけるグリッチの有無を検出するグリッチ検出段階と、グリッチの有無、及び位相差に基づいて、半導体デバイスを評価する評価段階とを備えることを特徴とする半導体デバイス試験方法を提供する。

【0036】

尚、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではなく、これらの特徴群のサブコンビネーションも又、発明となりうる。

【0037】

【発明の実施の形態】

以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は特許請求の範囲にかかる発明を限定するものではなく、又実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

【0038】

図1は、本発明に係る半導体デバイス試験装置100の構成の一例を示す。半導体デバイス試験装置100は、半導体デバイス(DUT)108を試験するた

めの試験パターンを生成するパターン発生器 102 と、試験パターンを整形し、半導体デバイス 108 に供給する波形整形部 104 と、半導体デバイス 108 が当該試験パターンに基づいて出力する出力データを処理する処理部 120 と、処理部 120 が処理した出力データと、パターン発生器 102 が試験パターンに基づいて生成した期待値信号とに基づいて、半導体デバイス 108 の良否を判定する判定部 110 とを備える。

【0039】

パターン発生器 102 は、例えば利用者が生成した試験プログラムに基づいた試験パターンを生成し、波形整形部 104 に供給する。また、パターン発生器 102 は、生成した試験パターンに基づいて、半導体デバイス 108 が当該試験パターンを受け取った場合に出力するべき期待値信号を生成する。波形整形部 104 は、受け取った試験パターンを整形し、半導体デバイス 108 に供給する。例えば、波形整形部 104 は、利用者が生成した試験プログラムに基づいて、試験パターンを遅延させ、所望のタイミングで半導体デバイス 108 に試験パターンを供給する。

【0040】

処理部 120 は、半導体デバイス 108 が、入力された試験パターンに基づいて出力する出力データ、及び出力データの受け渡しのタイミングを定める信号であって、半導体デバイス 108 が出力データに付随して出力する基準クロック（DQS）を受け取り、受け取った信号に所定の処理を施し、判定部 110 に供給する。判定部 110 は、処理部 120 から受け取った信号と、パターン発生器 102 から受け取った期待値信号とに基づいて、半導体デバイス 108 の良否を判定する。例えば、判定部 110 は、処理部 120 から受け取った信号と、パターン発生器 102 から受け取った期待値信号とが一致した場合に、半導体デバイス 108 を良品と判定する。以下、処理部 120 及び判定部 110 の構成及び動作について詳細に説明する。

【0041】

図 2 は、半導体デバイス試験装置 100 の処理部 120 及び判定部 110 の詳細な構成の一例を示す。処理部 120 は一例として、基準クロック DQS を出力

するピンに対してレベル比較器 10 と、基準位相計測部 172 と、基準位相記憶部とを有する。当該基準位相計測部 172 は、第 2 マルチストローブ発生器 30 と、複数の信号読取回路 40 と、比較判定手段 50 と、比較判定手段 50 の判定結果をマルチストローブのストローブ番号に変換する変換手段 31 とを有する。基準位相計測部 172 は、出力データの受け渡しのタイミングを定める信号であって、半導体デバイス 108 が、出力データに付随して出力する基準クロック DQS の、出力タイミングを計測する。

【0042】

本例において、第 2 マルチストローブ発生器 30 は、遅延時間がわずかつ異なる値に設定された複数の遅延素子 DY1、DY2、DY3、DY4、DY5…、DYN（ただし N は整数）を有する。第 2 マルチストローブ発生器 30 は、複数の遅延素子のそれぞれにタイミングストローブを供給し、複数の遅延素子がそれぞれ遅延させて出力するタイミングストローブに基づいて、第 2 マルチストローブを発生する。当該タイミングストローブは、例えばパルス信号であってよい。第 2 マルチストローブ発生器 30 は、基準クロック DQS に対して、わずかつ位相の異なる複数のストローブを有する第 2 マルチストローブを発生する。各遅延素子 DY1、DY2、DY3、DY4、DY5…、DYN の遅延時間に例えば 100 PS（ピコ秒）ずつの時間差を持たせることにより、100 PS の時間差を持つ第 2 マルチストローブを発生させることができる。また、マルチストローブ発生器 30 は、後述する第 1 マルチストローブ発生器 154（図 18 参照）と同様に、縦続接続された複数の遅延素子を有してよい。

【0043】

信号読取回路 40 及び比較判定手段 50 は、第 2 マルチストローブ発生器 30 が発生した第 2 マルチストローブに基づいて、基準クロック DQS の値の変化点を検出する。変換手段 31 は、基準クロック DQS の値の変化点を検出した第 2 マルチストローブの、いずれのストローブが基準クロック DQS の値の変化点を検出したかを示すストローブ番号を、メモリ 32 に供給する。例えば、第 2 マルチストローブを構成する複数のストローブに対して、位相の早いストローブから昇順に番号が与えられ、変換手段 31 は、基準クロック DQS の値の変化点を検

出したストローブの番号をメモリ 32 に供給する。基準位相計測部 172 は、基準クロック DQS の値の変化点を検出した第 2 マルチストローブのストローブ番号に基づいて、基準クロック DQS の出力タイミングを算出してよい。

【0044】

基準位相記憶部は、図 2 におけるメモリ 32 であってよく、基準位相計測部 172 が計測した基準クロック DQS の出力タイミングを記憶する。本例において、メモリ 32 は、基準クロック DQS の出力タイミングとして、変換手段 31 が変換したストローブ番号を記憶する。つまり、基準位相記憶部であるメモリ 32 は、基準クロック DQS の値の変化点を検出した第 2 マルチストローブのストローブ番号を格納する。

【0045】

また、処理部 120 は、タイミング選択回路 33、及び第 1 マルチストローブ発生器 34 を更に有する。タイミング選択回路 33 は、テスト時にメモリ 32 から読み出したストローブ番号から、第 1 マルチストローブ発生器 34 が発生する第 1 マルチストローブ STB の発生タイミングを選択して出力する。第 1 マルチストローブ発生器 34 は、タイミング選択回路 33 で選択したタイミングで第 1 マルチストローブ STB を発生する。本例において、第 1 マルチストローブ発生器 34 は、第 2 マルチストローブ発生器 30 と同一又は同様の機能及び構成を有する。また、判定部 110 は一例として、信号読取回路 11 と、論理比較器 12 と、不良解析メモリ 18 とを有する。信号読取回路 11 及び論理比較器 12 は、図 28 に関連して説明した信号読取回路 11 及び論理比較器 12 と同一又は同様の機能及び構成を有する。信号読取回路 11 は、第 1 マルチストローブ STB のそれぞれのストローブのタイミングにおける、半導体デバイス 108 の出力信号の値を検出する。論理比較器 12 は、信号読取回路 11 が検出した出力信号の値と、期待値とを比較する。不良解析メモリ 18 は、論理比較器 12 が、出力信号と期待値とを比較した結果を格納する。図 1 に関連して説明したパターン発生部 102 は、試験パターンに基づく当該期待値を論理比較器 12 に供給してよい。

【0046】

図 3 は、第 2 マルチストローブ発生器 30 が発生する第 2 マルチストローブの

一例を示す。テストサイクルTDの所定の位相位置から例えば100PSずつ、位相差が与えられた第2マルチストローブP1、P2、P3、P4…、Pn（ただしnは整数）が信号読取回路40の各回路TC1、TC2、TC3、TC4、TC5…、TCn（ただしnは整数）のタイミング入力端子に与えられる。本例において、第2マルチストローブの相数を6、すなわちn=6として説明する。また、本例では、基準クロックDQSの立上がりのタイミングを測定する例について説明する。

【0047】

信号読取回路40の各回路TC1～TC6は、それぞれの入力端子において、レベル比較器10からレベル比較結果を受け取る。本例において、信号読取回路40の各回路TC1～TC6は、それぞれの入力端子において、レベル比較器10の、H論理側のレベル比較を行う電圧比較器CP1の出力を受けとる。電圧比較器CP1は、基準クロックDQSの電圧レベルが、比較電圧VOHより高い場合、H論理を出力し、基準クロックDQSの電圧レベルが、比較電圧VOHより低い場合にL論理を出力する。

【0048】

図3Aは、半導体デバイス108が出力する基準クロックDQSの波形の一例を示す。図3Aにおいて、横軸は時間軸であり、縦軸は電圧レベルを示す。図3Bは、第2マルチストローブ発生器30が発生する、第2マルチストローブの各ストローブのタイミングの一例を示す。図3Bにおいて、横軸は図3Aにおける時間軸と同一の時間軸である。信号読取回路40の各回路TC1～TC6は、第2マルチストローブの、それぞれ対応するストローブのタイミングにおける電圧比較器CP1の出力を検出し、比較判定手段50に検出結果を供給する。

【0049】

比較判定手段50は、信号読取回路40の各回路TC1～TC6にそれぞれ対応した判定器PF1～PF6を有する。判定器PF1～PF6は、それぞれ期待値（本例においてはH論理）と、信号読取回路40の回路TC1～TC6のうち対応する回路の検出結果とを比較する。判定器PF1～PF6は、対応する回路TC1～TC6の出力と、期待値とが一致する場合、当該一致を表すH論理を出

力する。本例において、判定器PF1～PF6は、それぞれの判定結果と、前段の判定器（対応する第2マルチストローブのストローブ番号が一つ若い番号の判定器）の判定結果とを比較し、自己の判定結果と前段の判定結果とが不一致である場合に、基準クロックDQSの値の変化点を検出したことを示すH論理を出力する。つまり、判定器PF1～PF6は、対応する第2マルチストローブのタイミングにおいて、基準クロックDQSの値の変化点を検出した場合に、H論理を出力する。

【0050】

図3A及び図3Bに示す、基準クロックDQS及び第2マルチストローブのタイミングの例では、比較判定手段50は、図3Cに示す信号を変換手段31に供給する。つまり、本例において、比較判定手段50は、図3BのP4で示すストローブのタイミングで基準クロックDQSの値の変化点、すなわち波形の立上がりを検出し、P4で示すストローブに対応する判定器PF4がH論理を変換手段31に供給する。

【0051】

図4は、第2マルチストローブ発生器30が発生する第2マルチストローブの他の例を示す。本例では、基準クロックDQSの立上がりのタイミングを測定する例について説明する。図4Aは、図3Aと同様に、半導体デバイス108が出力する基準クロックDQSの波形の一例を示す。図4Bは、図3Bと同様に、第2マルチストローブ発生器30が発生する、第2マルチストローブの各ストローブのタイミングの一例を示す。

【0052】

基準クロックDQSの波形の立下り側のタイミングを測定する構成は図2では省略しているが、その構成は図2における、基準クロックDQSの波形の立上がり側のタイミングを測定する構成と同様の構成を有する。つまり、処理部120は、基準クロックDQSの立上がりを検出するための基準位相計測部172と、基準クロックDQSの立下がりを検出するための基準位相計測部172とを有してよい。また、処理部120は、基準クロックDQSの立上がり及び立下がりを検出する基準位相計測部172を有してもよい。この場合、信号読取回路40の

各回路及び比較判定手段 50 の判定器は、後述する構成（図 5 参照）を有することが好ましい。

【0053】

基準クロック DQS の立下がりを検出するための基準位相計測部 172 の、信号読取回路 40 の各回路 TC1～TC6 は、第 2 マルチストローブの、それぞれ対応するストローブのタイミングにおける電圧比較器 CP2 の出力を検出し、比較判定手段 50 に検出結果を供給する。

【0054】

比較判定手段 50 は、信号読取回路 40 の各回路 TC1～TC6 にそれぞれ対応した判定器 PF1～PF6 を有する。判定器 PF1～PF6 は、それぞれ期待値（本例においては L 論理）と、信号読取回路 40 の回路 TC1～TC6 のうち対応する回路の検出結果とを比較する。判定器 PF1～PF6 は、対応する回路 TC1～TC6 の出力と、期待値とが一致する場合、当該一致を表す H 論理を出力する。本例において、判定器 PF1～PF6 は、それぞれの判定結果と、前段の判定器（対応する第 2 マルチストローブのストローブ番号が一つ若い番号の判定器）の判定結果とを比較し、自己の判定結果と前段の判定結果とが不一致である場合に、基準クロック DQS の値の変化点を検出したことを示す H 論理を出力する。つまり、判定器 PF1～PF6 は、対応する第 2 マルチストローブのタイミングにおいて、基準クロック DQS の値の変化点を検出した場合に、H 論理を出力する。

【0055】

図 4 A 及び図 4 B に示す、基準クロック DQS 及び第 2 マルチストローブのタイミングの例では、比較判定手段 50 は、図 4 C に示す信号を変換手段 31 に供給する。つまり、本例において、比較判定手段 50 は、図 4 B の P4 で示すストローブのタイミングで基準クロック DQS の値の変化点、すなわち波形の立下がりを検出し、P4 で示すストローブに対応する判定器 PF4 が H 論理を変換手段 31 に供給する。

【0056】

図 5 は、信号読取回路 40 及び比較判定手段 50 の構成の一例を示す。本例で

は、信号読取回路 40 の回路 TC4 及び比較判定手段 50 の判定器 PF4 の構成の一例を示す。信号読取回路の各回路 TC1 ~ TCn は、本例において説明する TC4 と同様の構成を有してよい。また、比較判定手段 50 の各判定器 PF1 ~ PFn は、本例において説明する PF4 と同様の構成を有してよい。

【0057】

回路 TC4 は、回路 182a 及び回路 182b を有する。回路 182a は、レベル比較器 10 の電圧比較器 CP1 が出力する信号を受け取る。また、回路 182b は、レベル比較器 10 の電圧比較器 CP2 が出力する信号を受け取る。また、回路 182a は、例えば図 3b に示したような、第 2 マルチストローブのストローブ P4 を受け取り、ストローブ P4 のタイミングにおける電圧比較器 CP1 の出力を検出し、判定器 PF4 に検出結果を供給する。また、回路 182b は、例えば図 4b に示したような、第 2 マルチストローブのストローブ P4' を受け取り、ストローブ P4' のタイミングにおける電圧比較器 CP2 の出力を検出し、判定器 PF4 に検出結果を供給する。

【0058】

判定器 PF4 は、図 5 に示すように、ゲート G1 ~ G4 を有する。ゲート G1 は、期待値 EXP と、回路 182a の出力とを比較する。ゲート G1 は、回路 182a の出力と、期待値 EXP との論理積を出力する論理積回路であってよい。本例において、基準クロック DQS の立上がりを検出する場合、期待値 EXP として H 論理が与えられ、基準クロック DQS の立下がりを検出する場合、期待値 EXP として L 論理が与えられる。つまり、期待値 EXP に H 論理が設定されることにより、ゲート G1 が有効となり、ゲート G1 は回路 182a の出力が L 論理から H 論理に反転するか否かを監視する。ゲート G2 は、回路 182b の出力と、期待値 EXP とを比較する。ゲート G1 は、回路 182b の出力と、期待値 EXP の反転信号との論理積を出力する論理積回路であってよい。

【0059】

また、ゲート G3 は、ゲート G1、G2 の出力の論理和を出力する。ゲート G4 は、ゲート G3 の出力と、前段の判定器のゲート G3 の出力との不一致を検出する。本例において、PF4 のゲート G4 は、PF4 のゲート G3 の出力と、P

F 3 のゲート G 3 の出力との不一致を検出する。基準クロック D Q S の立上りのタイミングは、電圧比較器 C P 1 と、回路 1 8 2 a と、ゲート G 1 と、ゲート G 3 と、ゲート G 4 とを通過する系路で検出することができる。同様に、基準クロックの立下がりのタイミングは、電圧比較器 C P 2 と、回路 1 8 2 b と、ゲート G 2 と、ゲート G 3 と、ゲート G 4 とを通過する経路で検出することができる。以下、基準クロック D Q S の立上りを検出する場合の、判定器 P F 4 の動作について説明する。

【0060】

回路 1 8 2 a が H 論理を出力すると、ゲート G 1 は H 論理を出力する。ゲート G 1 が出力した H 論理は、ゲート G 3 を介してゲート G 4 に供給される。ゲート G 4 は例えば排他的論理和回路であって、その一方の入力端子には前段の判定器 P F 3 のゲート G 3 の出力が供給される。前段の判定器 P F 3 のゲート G 3 の出力が H 論理でなく、判定器 P F 4 のゲート G 4 の出力が H 論理である場合に、ゲート G 4 は H 論理を出力する。ゲート G 4 の出力は、図 2 に示す変換手段 3 1 に供給される。また、ゲート G 3 の出力は、次段の判定器 P F 5 のゲート G 4 に供給される。次段の回路 T C 5 における回路 1 8 2 a は H 論理を判定器 P F 5 に供給し、判定器 P F 4 のゲート G 3 は H 論理を判定器 P F 5 に供給する。このため、判定器 P F 5 のゲート G 4 は不一致を検出せず、判定器 P F 5 のゲート G 4 は一致を表す L 論理を出力する。

【0061】

以上説明したように、基準クロック D Q S のレベルがレベル比較のために設けた比較電圧 V O H を越えた時点から、最初にストローブを受け取った判定器のみが H 論理を出力することになる。尚、本例において初段の判定器 P F 1 の不一致検出ゲート G 4 には前段のゲート G 3 の出力として L 論理を与える。これにより、信号読取回路 T C 1 が H 論理を出力した場合、判定器 P F 1 のゲート G 4 は H 論理の不一致を検出し、当該不一致を表す H 論理を出力する。つまり、テストサイクル T D の初期において基準クロック D Q S が立上ったことを検出する。以上、比較判定手段 5 0 が、基準クロックの立上りのタイミングを検出する場合の動作について説明したが、比較判定手段 5 0 が基準クロックの立下がりを検出す

る場合も、同様の動作により基準クロックの立下がりを検出することができる。

【0062】

変換手段31は各判定器PF1、PF2、PF3、PF4、PF5…、PFnの比較判定結果を取り込んで、可及的に小さいビット数のデータに変換する。例えば、変換手段31は、判定器PF1、PF2、PF3、PF4、PF5…、PFnの出力の出力をnビットの信号として受け取り、受け取った信号に基づいて、出力がH論理である判定器の番号を示すデジタル信号を生成する。つまり、変換手段31は、対応する判定器PF1～PFnの出力がH論理である、第2マルチストローブのストローブ番号を示すデジタル信号を生成する。変換手段31が生成するデジタル信号は、基準クロックDQSの値の変化点を検出したストローブ番号を示す。

【0063】

図6は、変換手段31の動作アルゴリズムを示す。第2マルチストローブは、半導体デバイス108のスペックに対して、測定精度を十分満足することのできるストローブ間隔のストローブを有することが望ましい。また、信号読取回路40及び比較判定手段50は、第2マルチストローブの各ストローブにそれぞれ対応する回路TC1、TC2、…、TCn及び判定器PF1、PF2、…、PFnを有することが望ましい。本例においては、比較判定手段50が、8個の判定器PF1～PF8を有する場合について説明する。

【0064】

まず、8個の判定器PF1～PF8の何れか一つがH論理（図では1で示す）を出力する。変換手段31は、判定器PF1～PF8の出力信号を、8ビットの信号として受け取る。例えば、図6に示すように、基準クロックの値の変化点を、判定器PF7が検出した場合、変換手段31は、01000000、で表されるデジタル信号を受け取る。変換手段31は、受け取ったデジタル信号において、1を示すビットのビット位置を1～8の数値に変換し、更にその数値から「1」を減算する。例えば、変換手段31は、01000000、で表されるデジタル信号を受け取った場合、1を示すビット位置として数値7を検出し、検出した数値7から、1を減算した値である数値6を算出する。

【0065】

次に、変換手段31は、算出した数値を、例えば4ビットの数値データD0～D7に変換する。例えば、変換手段31は、数値6を算出した場合、数値6を4ビットの数値データD6（0110）に変換する。4ビットの数値データF0～F7はマルチストローブP1～P8の位相順序を表わすストローブ番号として取り扱うことができる。変換手段31は、当該ストローブ番号を示す数値データD0～D7を、メモリ32に格納する。このように、例えば8ビットの比較判定結果を4ビットのストローブ番号データに変換することにより、メモリ32の記憶容量を小さくできる利点が得られる。

【0066】

図7は、タイミング選択回路33の構成の一例を示す。本例において、タイミング選択回路33は、第1マルチストローブSTBの発生タイミングを格納したタイミングメモリ33Aと、タイミングメモリ33Aに格納した発生タイミングの何れかをメモリ32が格納した判定結果に基づいて選択するセクタ33Bとを有する。タイミングメモリ33Aは、例えば200PS、300PS、400PS、500PS…の16種類の時間値を格納する。当該時間値は各テストサイクルTDの初期位相位置からの時間値に対応し、測定した基準クロックDQSの立上りまたは立下りのタイミングを示す。タイミングメモリ33Aが格納した時間値で示すタイミングが、半導体デバイス108の出力データの変化点を検出するための第1マルチストローブSTBの基準位相位置となる。セクタ33Bは、当該時間値の何れかを、メモリ32が格納した判定結果に基づいて選択し、選択した当該時間値を第1マルチストローブ発生器34に供給する。

【0067】

第1マルチストローブ発生器34は、タイミング選択回路33から受け取った時間値に、半導体デバイス108の出力データの値の変化点までの時間（予定値）を加算または減算し、演算結果に基づくタイミングで第1マルチストローブSTBを発生し、この第1マルチストローブSTBを信号読取回路11に供給する。信号読取回路11は、受け取った第1マルチストローブSTBのそれぞれのストローブのタイミングで、半導体デバイス108が出力する出力データの値を検

出する。半導体デバイス試験装置 100 は、信号読取回路 11 が検出した当該出力データの値に基づいて、半導体デバイス 108 の良否を判定する。

【0068】

第 1 マルチストローク発生器 34 は、第 2 マルチストローク発生器 30 と同様の構成を有してよく、基準位相記憶部であるメモリ 32 が格納した、第 2 マルチストロークのストローク番号に基づいて、複数のストロークを有する第 1 マルチストロークを発生してよい。前述したように、第 1 マルチストローク発生器 34 は、タイミング選択回路 33 から入力された時間値と、半導体デバイス 108 の出力データの値の変化点までの予定時間とに基づいて、第 1 マルチストロークの位相を定めてよい。第 1 マルチストローク発生器 34 は、半導体デバイス 108 の出力データに対して、わずかずつ位相の異なる複数のストロークを有する第 1 マルチストロークを発生し、半導体デバイス試験装置 100 は、第 1 マルチストロークのそれぞれのストロークの位相における、半導体デバイス 108 の出力データの値を検出し、出力データの立上がり、又は立下がりを検出する。

【0069】

半導体デバイス 108 において、基準クロック DQS の立上り又は立下りのタイミングから、半導体デバイス 108 出力する出力データの値の変化点までの時間の設計値は、予め定められている。従って、基準クロック DQS の立上り及び立下りのタイミングを予め測定し、当該タイミングを既知の値にしておくことにより、出力データの値の変化点の位相の概略値を容易に推測することができる。本例における半導体デバイス試験装置 100 は、基準クロック DQS の立上り及び立下りのタイミングをまず検出し、検出した当該タイミングに基づいて、出力データの値の変化点を検出するための第 1 マルチストローク STB の発生タイミング及び発生範囲を定めることにより、効率よく出力タイミングの値の変化点を検出することができる。

【0070】

図 8 は、第 2 マルチストローク発生器 30 の変形実施例を示す。本例において、第 2 マルチストローク発生器 30 は、縦続接続された互いに等しい遅延時間を持つ遅延素子 DY1、DY2、DY3・・・、DYn を有する。第 2 マルチスト

ローブ発生器30は、継続接続された各遅延素子DY1、DY2、DY3・・・、DYnの各出力信号に基づいて、わずかずつ位相の異なる複数のストローブを有する第2マルチストローブを発生する。

【0071】

本例における半導体デバイス試験装置100によれば、図3及び図4に示した第2マルチストローブP1、P2、P3、P4、P5・・・、Pn及びP1'、P2'、P3'、P4'、P5'・・・、Pn'を用いることにより、1テストサイクルTDの時間内で基準クロックDQSの立上がり又は立下がりのタイミングを測定するため、従来と比較して極めて短時間に基準クロックDQSの立上がり又は立下がりのタイミングを測定することができる。

【0072】

図9は、処理部120及び判定部110の構成の他の例を示す。処理部120は、レベル比較器10と、出力データ変化点検出部176と、データストローブ番号変換手段31Dと、位相比較部60と、基準クロック変化点検出部178と、基準ストローブ番号変換手段31Rとを有する。また、判定部110は、スペック設定器71及び良否判定手段70を有する。図9において、図2と対応する部分には同一符号を付して示す。

【0073】

出力データ変化点検出部176及び基準クロック変化点検出部178は、信号読取回路40及び比較判定手段50を有する。出力データ変化点検出部176は、第1マルチストローブに基づいて、出力データの波形の立上がり又は立下がりのタイミングを検出する。また、基準クロック変化点検出部178は、基準クロックDQSの波形の立上がり又は立下がりのタイミングを検出する。

【0074】

本例において、レベル比較器10は、半導体デバイス108が出力する出力データD0、D1、・・・、Dn、及び基準クロックDQSと、基準電圧VOH又はVOLとをレベル比較する。レベル比較器10は、レベル比較結果を信号読取回路40に供給する。レベル比較器10は、図2に関連して説明したレベル比較器10と同一又は同様の機能及び構成を有してよい。

【0075】

信号読取回路40は、基準クロックDQS及び半導体デバイス108の出力データD0、D1、…、Dnの値を、第1マルチストローブ発生器34又は第2マルチストローブ発生器30が発生した第1マルチストローブ又は第2マルチストローブのタイミングに基づいて検出する。信号読取回路40は、図2に関連して説明した信号読取回路40と同一又は同様の機能及び構成を有してよい。また、本例において、処理部120は、第1マルチストローブを発生する第1マルチストローブ発生器34と、第2マルチストローブを発生する第2マルチストローブ発生器30とを有していたが、他の例においては、処理部120は、第1マルチストローブ及び第2マルチストローブを発生するマルチストローブ発生器を有してよい。

【0076】

比較判定手段50は、信号読取回路40が検出した出力信号及び基準クロックDQSの値に基づいて、出力信号及び基準クロックの値の変化点を検出する。比較判定手段50は、図2に関連して説明した比較判定手段50と同一又は同様の機能及び構成を有してよい。

【0077】

図9において、処理部120は、半導体デバイスの出力データD0、D1、…、Dnの値を、第1マルチストローブ発生器34が発生する第1マルチストローブに基づいて測定する。また、処理部120は、基準クロックDQSの値を、第2マルチストローブ発生器30が発生する第2マルチストローブに基づいて測定する。第1マルチストローブ発生器34及び第2マルチストローブ発生器30は、同一又は同様の機能及び構成を有してよい。例えば、第1マルチストローブ発生器34及び第2マルチストローブ発生器30のそれぞれは、縦続接続された複数の遅延素子を有し、縦続接続された複数の遅延素子にストローブを供給し、複数の遅延素子がそれぞれ遅延させて出力するストローブに基づいて、第1マルチストローブ又は第2マルチストローブを発生する。

【0078】

比較判定手段50は、信号読取回路40から出力データ及び基準クロックDQ

Sの値を受け取り、受け取った信号に基づいて、マルチストロークの中のいずれの相のストロークにおけるタイミングで、データD0、D1、…、Dn及び基準クロックDQSの値が変化したかを判定する。

【0079】

比較判定手段50は、第1マルチストロークのそれぞれのストロークの位相においてデジタルデータに変換された、半導体デバイス108の出力データの値を検出し、第1マルチストロークのうちの第1のストロークの位相における出力データの値と、第1のストロークに隣接する第2のストロークの位相における出力データの値とが異なる場合に、第1のストロークの位相を出力データの値の変化点として検出する。例えば、比較判定手段50は、図2に関連して説明した比較判定手段50と同様の方法で、出力データの値の変化点を検出する。

【0080】

また、比較判定手段50は、第2マルチストロークのそれぞれのストロークの位相におけるデジタルデータに変換された、基準クロックDQSの値を検出し、第2マルチストロークのうちの第3のストロークの位相における出力データの値と、第3のストロークに隣接する第4のストロークの位相における出力データの値とが異なる場合に、第3のストロークの位相を出力データの値の変化点として検出する。例えば、比較判定手段50は、図2に関連して説明した比較判定手段50と同様の方法で、基準クロックDQSの値の変化点を検出する。

【0081】

判定部110は、出力データの値の変化点の位相と、基準クロックDQSの値の変化点の位相とに基づいて、電子デバイス108の良否を判定する。また、比較判定手段50において、図5において説明した場合と同様に、信号の変化点を検出したストロークに対応する判定器のみが優先的に「1」を出力する。

【0082】

データストローク番号変化手段31Dは、どの位相におけるストロークが出力データD0、D1、…、Dnの値の変化点を検出したかを、比較判定手段50が判定した判定結果を受け取る。本例において、データストローク番号変換手段31Dは、図2に関連して説明した変換手段31と同様に、比較判定手段50の判

定器PF1～PFnのそれぞれから、デジタル信号を受け取り、受け取ったデジタル信号に基づいて、変化点を検出したストローブ番号DN0を示すデジタル信号を生成する。

【0083】

基準ストローブ番号変換手段31Rは、どの位相におけるストローブが基準クロックDQSの値の変化点を検出したかを、比較判定手段50が判定した判定結果を受け取る。本例において、基準ストローブ番号変換手段31Rは、図2に関連して説明した変換手段31と同様に、比較判定手段50の判定器PF1～PFnのそれぞれから、デジタル信号を受け取り、受け取ったデジタル信号に基づいて、変化点を検出したストローブ番号RN0を示すデジタル信号を生成する。

【0084】

図10は、データストローブ番号変換手段31D及び基準ストローブ番号変換手段31Rの動作アルゴリズムを示す。本例において、データストローブ番号変換手段31D及び基準ストローブ番号変換手段31Rは、図6に関連して説明した変換手段31と同一又は同様のアルゴリズムに基づいて動作してよい。データストローブ番号変換手段31D及び基準ストローブ番号変換手段31Rは、比較判定手段50がH論理（図10においてはH論理を1で示す）を出力したビット位置を、数値データF1～F8に変換する。つまり、データストローブ番号変換手段31D及び基準ストローブ番号変換手段31Rは、数値データF1～F8を、出力データの値の変化点を検出したデータストローブ番号DN0と、基準クロックDQSの値の変化点を検出した基準ストローブ番号RN0として出力する。位相比較部60（図9参照）は、データストローブ番号DN0と、基準ストローブ番号RN0とに基づいて、出力データの値の変化点の位相と、基準クロックの値の変化点の位相との位相差を検出する。

【0085】

図11は、位相比較部60の構成の一例を示す。本例において、位相比較部60は、デジタル減算器を有する。図11に示すように、位相比較部60は、デジタル減算器のプラス入力端子側にデータストローブ番号DN0を入力し、マ

イナス入力端子側に基準ストローブ番号RN0を入力する。デジタル減算器は、データストローブ番号DN0から、基準ストローブ番号RN0を減算した値を、良否判定手段70に供給する。

【0086】

図12は、位相比較部60における演算の一例を示す。図12に示すように、比較判定手段50が、出力データの値の変化点の検出結果として、00100000、で表されるデジタル信号を出力した場合、データストローブ番号変換手段31Dは、データストローブ番号DN0として6の数値を示すデジタル信号、0110、を出力する。また、比較判定手段50が、基準クロックDQSの値の変化点の検出結果として、00000100、で表されるデジタル信号を出力した場合、基準ストローブ番号変換手段31Rは、基準ストローブ番号RN0として3の数値を示すデジタル信号、0011、を出力する。位相比較部60は、データストローブ番号DN0から、基準ストローブ番号RN0を減算した結果である、3の数値を示すデジタル信号を、良否判定手段70に供給する。

【0087】

図13は、位相比較部60における演算の他の例を示す。図13に示すように、比較判定手段50が、出力データの値の変化点の検出結果として、00000100、で表されるデジタル信号を出力した場合、データストローブ番号変換手段31Dは、データストローブ番号DN0として3の数値を示すデジタル信号、0011、を出力する。また、比較判定手段50が、基準クロックDQSの値の変化点の検出結果として、01000000、で表されるデジタル信号を出力した場合、基準ストローブ番号変換手段31Rは、基準ストローブ番号RN0として7の数値を示すデジタル信号、0111、を出力する。位相比較部60は、データストローブ番号DN0から、基準ストローブ番号RN0を減算した結果である、-4の数値を示すデジタル信号を、良否判定手段70に供給する。比較判定手段50は、演算結果を例えば2進数化したデジタル信号として、良否判定手段70に供給してよい。

【0088】

図14は、良否判定手段70とスペック設定器71の構成の一例を示す。良否

判定手段 70 は、出力データ変化点検出部 176 が検出した、出力データの波形の立上がり又は立下がりのタイミングと、基準クロック変化点検出部 178 が検出した、基準クロック DQS の波形の立上がり又は立下がりのタイミングとに基づいて、半導体デバイス 108 の良否を判定してよい。例えば、良否判定手段 70 は、出力データ変化点検出部 176 が検出した、出力データの波形の立上がり又は立下がりのタイミングと、基準クロック変化点検出部 178 が検出した、基準クロック DQS の波形の立上がり又は立下がりのタイミングとの位相差が、予め定められた範囲内で有るか否かに基づいて、半導体デバイス 108 の良否を判定してよい。

【0089】

本例において、スペック設定器 71 は、レジスタ G1 及びレジスタ G2 を有する。レジスタ G1 及び G2 は、半導体デバイス 108 の、基準クロック DQS の値の変化点と、出力信号の値の変化点との位相差に関するスペックに基づいた値を格納してよい。例えば、利用者が被試験半導体デバイスに対応した仕様の設定値を設定する。本例では、レジスタ G1 が 5 の値を示すデータを格納し、レジスタ G2 が 0 の値を示すデータを格納する場合について説明する。

【0090】

良否判定手段 70 は、一例として減算器 U1、減算器 U2、エンコーダ E1、エンコーダ E2、及びゲート OR を有する。減算器 U1 は、位相比較部 60 が出力する比較結果と、スペック設定器 71 のレジスタ G1 が格納した設定値を受け取る。減算器 U1 は、レジスタ G1 が格納した設定値から、位相比較器 60 における比較結果を減算する。例えば、レジスタ G1 が 5 の値を示すデータを格納し、位相差比較器 60 が 3 の値を示すデータを出力した場合、減算器 U1 は、2 の値を示すデータをエンコーダ E1 に供給する。

【0091】

減算器 U2 は、位相差比較部 60 が出力する比較結果と、スペック設定器 71 のレジスタ G2 が格納した設定値を受け取る。減算器 U2 は、位相比較器 60 における比較結果から、レジスタ G1 が格納した設定値を減算する。例えば、レジスタ G2 が 0 の値を示すデータを格納し、位相比較器 60 が 3 の値を示すデータ

を出力した場合、減算器 U 2 は、3 の値を示すデータをエンコーダ E 2 に供給する。

【0092】

エンコーダ E 1 及び E 2 は、それぞれ対応する減算器 U 1 又は U 2 の出力が 0 又は正の値を示す場合、L 論理（図 14 では 0 で示す）を出力し、対応する減算器 U 1 又は U 2 の出力が負の値を示す場合、H 論理（図 14 では 1 で示す）を出力する。ゲート OR は、エンコーダ E 1 が出力するデータと、エンコーダ E 2 が出力するデータとの論理和を、半導体デバイス 108 の良否判定結果として出力する。判定部 110 は、ゲート OR の出力が 0 の場合、半導体デバイス 108 をパス（良）と判定し、ゲート OR の出力が 1 の場合、フェイル（不良）と判定する。例えば、位相比較器 60 が 3 を示すデータを出力し、レジスタ G 1 が 5 を示すデータを格納し、レジスタ G 2 が 0 を示すデータを格納する場合、エンコーダ E 1 及び E 2 は、共に L 論理を出力する。ゲート OR は、L 論理を出力し、判定部 110 は、半導体デバイス 108 をパス（良）と判定する。つまり、本例において、判定部 110 は、出力データの値の変化点を検出した、第 1 マルチストロープのストロープ番号と、基準クロックの値の変化点を検出した、第 2 マルチストロープのストロープ番号との番号差が、予め定められた範囲で有るか否かに基づいて、半導体デバイスの良否を判定する。本例において、レジスタ G 1 は、出力データの値の変化点と、基準クロックの値の変化点との位相差の上限値を格納し、レジスタ G 2 は、出力データの値の変化点と、基準クロックの値の変化点との位相差の下限値を格納する。判定部 110 は、位相比較部 60 が検出した、出力データの値の変化点と、基準クロックの値の変化点との位相差が、当該上限値と当該下限値との間の値である場合に、半導体デバイス 108 をパス（良）と判定する。

【0093】

図 15 は、処理部 120 及び判定部 110 の変形実施例を示す。図 15 において、図 9 と同一の符号を付したものは、図 9 に関連して説明したものと同一又は同様の機能及び構成を有してよい。処理部 120 は、図 9 に関連して説明した処理部 120 と同一又は同様の構成を有する。また、判定部 110 は、データスト

ローブ番号変換手段 31D の出力と、基準ストローブ番号変換手段 31R の出力との組み合わせに基づいて、半導体デバイス 108 の良否を判定するための参照表を格納するメモリ 80 を有する。判定部 110 は、データストローブ番号変換手段 31D の出力と、基準ストローブ番号変換手段 31R の出力とに基づいて参照表を参照し、参照結果を半導体デバイス 108 の良否の判定結果として出力する。つまり、判定部 110 は、出力データの値の変化点を検出した、第 1 マルチストローブのストローブ番号と、基準クロックの値の変化点を検出した第 2 マルチストローブのストローブ番号とのそれぞれの組み合わせに対する、半導体デバイス 108 の良否を定める参照表を格納する手段を有し、参照表に基づいて、半導体デバイス 108 の良否を判定する。

【0094】

一例としてメモリ 80 は、行列形式の参照表を格納する。例えば、メモリ 80 は、列番号を示すデータとしてデータストローブ番号 DN0 を受け取り、行番号を示すデータとして基準ストローブ番号 RN0 を受け取る。メモリ 80 は、受け取ったデータストローブ番号 DN0 及び基準ストローブ番号 RN0 が示す行列番号に基づいて参照表を参照し、当該行列番号に対応するアドレスに格納した良否判定データを検出する。

【0095】

図 16 は、メモリ 80 が格納する参照表の一例を示す。図 16A は、データストローブ番号 DN0 と、基準ストローブ番号 DN0 との差を示す。例えば、データストローブ番号 DN0 と、基準ストローブ番号 DN0 との番号差が、-2 ~ +2 までの範囲である半導体デバイス 108 をパス（良）と判定する場合、メモリ 80 は、図 16B に示す参照表のように、図 16A の表において、-2 ~ +2 の範囲内にあるセルに対応するアドレスにパスを表す信号（P）を格納し、-2 ~ +2 の範囲に無いセルに対応するアドレスにフェイルを表す信号（F）を格納する。

【0096】

本例における半導体デバイス試験装置 100 によれば、参照表を格納するメモリ 80 を有し、基準ストローブ番号 RN0 及びデータストローブ番号 DN0 の組

み合わせに基づいて参照表を参照することにより、容易に良否の判定を行うことができる。また、本例における半導体デバイス試験装置 100 によれば、リアルタイムで基準クロックと各出力データの値の変化点の位相差を測定し、当該位相差が所定の範囲か否か、または基準クロックより速いか遅いか等を判定して、良否を判定するため、試験パターンを開始から終了までの 1 巡だけ発生させるだけで試験を終了することができる。この結果、従来より短時間に試験を終了することができる。また、複数の位相比較部 60 の各出力値を試験開始から終了までの間メモリ等に記憶させることによりデータと基準クロックとの位相差のゆらぎ、或いはジッタ等を解析することができる。

【0097】

図 17 は、処理部 120 及び判定部 110 の構成の他の例を示す。処理部 120 はレベル比較器 10 と、タイミング比較器 124 と、セクタ 126 と、グリッチ検出部 140 と、メモリ 128 と、タイミング発生器 122 とを有する。図 17 において、処理部 120 及び判定部 110 の構成として、半導体デバイス 108 が一つのピンから出力する出力データ D0 に対応する処理部 120 及び判定部 110 の構成を示したが、処理部 120 及び判定部 110 は、図 17 に示した構成と同様の構成を、半導体デバイス 108 の複数のピンにそれぞれ対応して有してよい。

【0098】

レベル比較器 10 は、図 2 及び図 9 に関連して説明したレベル比較器 10 と同一の機能及び構成を有する。レベル比較器 10 は、半導体デバイス 108 の出力データ D0 を受け取り、出力データ D0 において、基準電圧 V_{OH} より高い電圧値をとる位相に対して H 論理、基準電圧 V_{OH} より低い電圧値をとる位相に対して L 論理を示す信号（以下 SH 信号とする）をタイミング比較器 124 a 又はセクタ 126 a に供給する。また、レベル比較器 10 は、出力データ D0 において、基準電圧 V_{OL} より高い電圧値を取る位相に対して H 論理、基準電圧 V_{OL} より低い電圧値を取る位相に対して L 論理を示す信号（以下 SL 信号とする）をタイミング比較器 124 b 又はセクタ 126 b に供給する。

【0099】

タイミング発生器 122 は、タイミング比較器 124 a 及びタイミング比較器 124 b に、所定の時間間隔のタイミングを供給する。タイミング比較器 124 a 及びタイミング比較器 124 b は、受け取ったタイミングにおける、SH 信号又は SL 信号の論理値を、デジタルデータ（以下 FH 信号及び FL 信号とする）としてセクタ 126 a 又はセクタ 126 b に供給する。タイミング発生器 122 は、図 9 に関連して説明した第 2 マルチストローブ発生器 30 と同一又は同様の機能及び構成を有してよい。また、タイミング比較器 124 a 及びタイミング比較器 124 b は、図 9 に関連して説明した信号読取回路 40 と同一又は同様の機能及び構成を有してよい。

【0100】

セクタ 126 a は、受け取った SH 信号を、グリッチ検出部 140 a に供給するか、受け取った FH 信号を判定部 110 に供給するかを選択する。また、セクタ 126 b は、受け取った SL 信号を、グリッチ検出部 140 b に供給するか、受け取った FL 信号を判定部 110 に供給するかを選択する。

【0101】

グリッチ検出部 140 a 及びグリッチ検出部 140 b は、受け取った SH 信号又は SL 信号に基づいて、出力データ D0 におけるグリッチの有無を検出する。例えば、グリッチ検出部 140 は、出力データの値の変化点に基づいて、出力データにおけるグリッチの有無を検出する。メモリ 128 a 及びメモリ 128 b は、グリッチ検出部 140 の検出結果を格納する。

【0102】

判定部 110 は、受け取った FH 信号、FL 信号、及びパターン発生器 102 が出力した期待値信号に基づいて、半導体デバイス 108 の良否を判定する。また、判定部 110 は、グリッチ検出部 140 が検出した出力データにおけるグリッチの有無に基づいて、半導体デバイス 108 の良否を判定してよい。以下、グリッチ検出部 140 の構成及び機能について詳細に説明する。

【0103】

図 18 は、グリッチ検出部 140 の構成の一例を示す。グリッチ検出部 140 は、第 1 マルチストローブ発生器 154、メモリ 148、出力データ変化点検出

部 142、及び検出器 146 を有する。

【0104】

第 1 マルチストローブ発生器 154 は、出力データに対して、わずかつ位相の異なる複数のストローブを有する第 1 マルチストローブを発生する。第 1 マルチストローブ発生器 154 は、縦続接続された複数の遅延素子 VD1、VD2、VD3、・・・、VD16 と、縦続接続された複数の遅延素子 D1、D2、D3、・・・、D16 と、複数のタイミング比較器 C0、C1、C2、・・・C15、C16 とを有する。第 1 マルチストローブ発生器 154 は、第 1 マルチストローブを発生するためのタイミングストローブと、出力データとを受け取る。本例において、遅延素子 VD1、VD2、VD3、・・・、VD16 は、可変遅延素子である。第 1 マルチストローブ発生器 154 は、縦続接続された遅延素子 VD1、VD2、VD3、・・・、VD16 に、タイミングストローブを供給し、それぞれの遅延素子の入力及び出力から、わずかつ位相の異なる複数のストローブを取り出す。当該複数のストローブにおけるストローブの位相差は、それぞれ対応する遅延素子 VD1、VD2、VD3、・・・、VD16 における遅延量と略等しい。また、第 1 マルチストローブ発生器 154 は、タイミング発生器 122 から、タイミングストローブを受け取ってよい。

【0105】

また、本例において、第 1 マルチストローブ発生器 154 は、出力データとして SH 信号を受け取り、遅延素子 VD1、VD2、VD3、・・・、VD16 の入力及び出力から取り出した、わずかつ位相の異なる複数のストローブのそれぞれのストローブの位相における、SH 信号の値を検出する。まず、第 1 マルチストローブ発生器 154 は、遅延素子 VD1 の入力におけるタイミングストローブと、SH 信号を取り出し、タイミング比較器 C0 に供給する。タイミング比較器 C0 は、タイミングストローブのタイミングにおける、SH 信号の値を検出する。次に、第 1 マルチストローブ発生器 154 は、遅延素子 VD1 の出力における、遅延素子 VD1 における遅延量だけ遅延されたタイミングストローブと、SH 信号を取り出し、タイミング比較器 C1 に供給する。タイミング比較器 C1 は、遅延素子 VD1 の出力におけるタイミングストローブのタイミングにおける、

S H信号の値を検出する。以下同様に、タイミング比較器C 2、C 3、・・・、C 16は、それぞれ対応する遅延素子の出力におけるタイミングストローブのタイミングにおける、S H信号の値を検出する。

【0106】

また、図18に示すように、第1マルチストローブ発生器154は、縦続接続された複数の遅延素子D 1、D 2、D 3、・・・、D 16に、S H信号を供給し、タイミング比較器C 1、C 2、・・・、C 16は、それぞれ対応する遅延素子D 1、D 2、D 3、・・・、D 16の出力におけるS H信号の値を検出してよい。この場合、複数の遅延素子D 1、D 2、D 3、・・・、D 16における遅延量は、複数の遅延素子V D 1、V D 2、V D 3、・・・、V D 16におけるオフセット遅延量と略等しい遅延量である。遅延素子V D 1、V D 2、V D 3、・・・、V D 16には、遅延素子における遅延量の他に、例えば経路における遅延が生じる場合がある（オフセット遅延量）。S H信号を、複数の遅延素子D 1、D 2、D 3、・・・、D 16によって、対応する複数の遅延素子V D 1、V D 2、V D 3、・・・、V D 16におけるオフセット遅延量だけ遅延させることにより、タイミング比較器C 0、C 1、C 2、・・・、C 16は、精度のよくS H信号の値を検出することができる。

【0107】

また、複数の遅延素子V D 1、V D 2、V D 3、・・・、V D 16は可変遅延素子であって、対応する複数の遅延素子D 1、D 2、D 3、・・・、D 16における遅延に対して、複数の遅延素子V D 1、V D 2、V D 3、・・・、V D 16における遅延が、それぞれ所望の値となるように調整できることが好ましい。例えば、対応する複数の遅延素子D 1、D 2、D 3、・・・、D 16における遅延に対して、タイミングストローブをそれぞれ50 p sずつ遅延させるように、複数の遅延素子V D 1、V D 2、V D 3、・・・、V D 16における遅延量を調整する。本例における第1マルチストローブ発生器154によれば、非常に精度のよいタイミングで、半導体デバイス108の出力データの値をサンプリングすることができる。

【0108】

複数のメモリ 148 は、それぞれタイミング比較器 C0、C1、C2、・・・、C16 が検出した SH 信号の値を受け取る。複数のメモリ 148 は、例えば F I F O (First-in First-out) 方式のメモリである。複数のメモリ 148 は、それぞれ、複数の遅延素子 VD1、VD2、VD3、・・・、VD16 から取り出された複数のストローブのタイミングで、タイミング比較器 C0、C1、C2、・・・、C16 が検出した SH 信号の値を格納する。複数のメモリ 148 は、外部からデータ取り出し用の信号 S T R B が与えられ、信号 S T R B を受け取ったタイミングに基づいて、最初に格納したデータを、最初に出力するように、格納したデータを、出力データ変化点検出部 142 に供給する。

【0109】

出力データ変化点検出部 142 は、一例として複数のデジタル回路 152 及びプライオリティエンコーダ 144 を有する。出力データ変化点検出部 142 は、第 1 マルチストローブのそれぞれのストローブにおける、出力データの値を検出し、第 1 マルチストローブのうちの第 1 のストローブの位相における出力データの値と、第 1 のストローブに隣接する第 2 のストローブの位相における出力データの値とが異なる場合に、第 1 のストローブの位相を、出力データの値の変化点として検出する。図 18 において、複数のデジタル回路 152 はそれぞれ、第 1 マルチストローブの位相が隣接するストローブにおける出力データの値を、メモリ 148 から受け取り、第 1 マルチストローブの位相が隣接するストローブにおける出力データの値が異なる場合に、当該ストローブの位相において、出力データの値が変化したと判定する。

【0110】

例えば、図 18 における複数のメモリ 148 が順に SH 信号の値として、
0 0 0 1 0 0 1 1 1 1 1 1 1 1 1 1
を格納した場合に、複数のデジタル回路 152 は、順に、
0 0 1 1 0 1 0 0 0 0 0 0 0 0 0 0
を出力する。つまり、複数のデジタル回路 152 は、SH 信号の値の変化点を 1 で示すデジタル信号を出力する。デジタル回路 152 のそれぞれは、例えば排他論理和を出力するデジタル回路であってよい。

【0111】

本例における出力データ変化点検出部 144 によれば、複数のデジタル回路 152 が出力したデジタル信号における、SH 信号の値の変化点のビット番号と、複数の遅延素子 VD1、VD2、VD3、・・・、VD16 におけるそれぞれの遅延量とに基づいて、出力データの値の変化点の位相を容易に算出することができる。

【0112】

複数のデジタル回路 152 は、出力データの値の変化点を示すデジタル信号を、プライオリティエンコーダ 144 及び検出器 146 に供給する。プライオリティエンコーダ 144 は、受け取ったデジタル信号に基づいて、最も位相の早い出力データの変化点を検出する。本例において、プライオリティエンコーダ 144 は、16 ビットのデジタル信号を受け取り、最も位相の早い出力データの変化点のデータとして 5 ビットのデジタル信号を出力する。

【0113】

検出器 146 は、受け取ったデジタル信号に 1 が複数個ある場合に、出力データにグリッチが有ると判定する。検出器 146 は、例えばグリッチを検出した場合に 1 を出力し、グリッチを検出なかった場合に 0 を出力する。

【0114】

メモリ 128 は、プライオリティエンコーダ 144 及び検出器 146 が出力したデータを対応づけて格納する。メモリ 128 が格納したデータに基づいて、半導体デバイス 108 が出力した出力データにおける、グリッチの有無、グリッチが有る場合の当該グリッチの位相を容易に算出することができる。また、グリッチが無い場合の、出力データの値の変化点を容易に算出することができる。また、メモリ 128 は、出力データの値の変化点において、出力データの値が、H 論理から L 論理に変化したか、又は L 論理から H 論理に変化したかを示すための、ネガ・ポジ判定データを受け取ってよい。つまり、当該ネガ・ポジ判定データは、出力データの値の変化点において、出力データの立上がりを検出したか、立下がりを検出したかを示すためのデータである。当該ネガ・ポジ判定データは、図 18 に示すように、第 1 マルチストロープにおいて、最も遅い位相のストロープ

のタイミングにおける出力データの値であってよい。

【0115】

また、本例においては、第1マルチストロブのストロブ数を16として、グリッチ検出部140の構成を説明したが、他の例においては、第1マルチストロブのストロブ数は他のストロブ数を取ってよいことは明らかである。この場合、グリッチ検出部140は、生成すべき第1マルチストロブのストロブ数に基づいた数の、遅延素子、メモリ148、デジタル回路152を有する。

【0116】

図19は、プライオリティエンコーダ144の構成の一例を示す。本例におけるプライオリティエンコーダ144は、図19に示すように、複数の論理積回路及び複数の論理和回路を有する。プライオリティエンコーダ144は、複数のデジタル回路152から、それぞれデータD00、D01、D02、・・・、D16を受け取る。プライオリティエンコーダ144は、図19に示すように受け取ったデータデータD00、D01、D02、・・・、D16と、H論理を示す信号”H”とに基づいて、位相の最も早い出力データの値の変化点を検出する。本例において、プライオリティエンコーダ144は、16ビットのデジタル信号を受け取り、最も位相の早い変化点を検出したデジタル信号のビット番号を、5ビットのデジタル信号として出力する。また、本例においては、最も位相の早い変化点を検出したが、他の例においては、最も位相の遅い変化点を検出してよい。例えば、図19において、D00の端子に、D16のデータを入力し、D01の端子にD15のデータを入力し、・・・、D16の端子にD00のデータを入力するように、データを反転して入力することにより、最も位相の遅い変化点を検出できる。

【0117】

図20は、図19に示したプライオリティエンコーダ144が受け取るデジタル信号と、出力するデジタル信号の一例を示す。図20に示すように、受け取ったデジタル信号に変化点が無い場合、プライオリティエンコーダ144は、00000を出力する。また、D00に最も位相の早い変化点がある場合には

、00001を出力する。以下同様に、プライオリティエンコーダ144は、最も位相の早い変化点がある入力データ番号に対応したデジタル信号を出力する。

【0118】

図21は、検出器146の構成の一例を示す。検出器146は、複数のデジタル回路152から受け取るデジタル信号に基づいて、出力データにおけるグリッチの有無を検出する。検出器146は、出力データの値の変化点が2点以上有る場合に、出力データにグリッチが有ると判定する。図21に示すように、検出器146は、複数のデジタル回路152から受け取ったデジタル信号に、1が複数個ある場合に、1を出力し、1が0又は1個である場合に、0を出力するデジタル回路構成を有する。

【0119】

図22は、メモリ128が格納するデータの処理及びデータ構成の一例を示す。図22(a)に示すように、まずセクタ162が、グリッチ検出部140a及びグリッチ検出部140bから、それぞれSH信号又はSL信号に対して、プライオリティエンコーダ140が出力するデジタル信号、検出器146が出力するデジタル信号、及びポジ・ネガ判定データを受け取る。

【0120】

セクタ162は、外部から期待信号EXPを受け取り、期待信号EXPに基づいて、SH信号に対するデジタル信号又はSL信号に対するデジタル信号のいずれかを選択し、出力する。メモリ128は、セクタ162が出力した信号に、期待信号EXPを付加したデジタル信号を格納する。

【0121】

メモリ128は、図22(b)に示すように、8ビットのデジタル信号(FH信号又はFL信号)を格納する。8ビットのデジタル信号のデータ構成は、一例として図22(b)に示すように、D7が期待信号EXPを示し、D6がグリッチの有無を示し、D5がポジ・ネガ判定データを示し、D4からD0が出力データの値の変化点を示す。D0からD4のデータは、プライオリティエンコーダ144が出力したデジタル信号であり、出力データの値の変化点の位相を示

す。本例において、複数の遅延素子VD1、VD2、VD3、・・・、VD16における遅延量は、それぞれ50psであるので、図22(b)に示す変化点コードの値から1を引いた値に、50psを乗算した値が、出力データの値の変化点の位相を示す。

【0122】

D5のデータは、ポジ・ネガ判定データであり、1のとき、変化点コードに示す位相で、出力データの立下がりを検出したことを示し、0のとき、変化点コードに示す位相で、出力データの立上がりを検出したことを示す。D6のデータは、検出器146が出力したデータであり、1のとき、出力データにグリッチが検出されたことを示し、0のとき、出力データにグリッチが検出されなかったことを示す。D7のデータは、期待信号EXPであって、1のときH論理期待で、FHが格納されていることを示し、0のとき、L論理期待で、FLが格納されていることを示す。つまり、1のとき、SH信号に基づく信号が格納されていることを示し、0のとき、SL信号に基づく信号が格納されていることを示す。

【0123】

メモリ128が格納したデータに基づいて、出力データにおけるグリッチの有無、グリッチが有る場合のグリッチの位相、グリッチが無い場合の出力データの立上がり、又は立下がりの位相を容易に検出することができる。また、期待信号EXPと、FH信号又はFL信号とを対応づけて、FH信号及びFL信号のいずれかを格納することにより、格納すべきデータを半分にすることができる。また、判定部110は、メモリ128が格納したデータに基づいて、半導体デバイス108の良否を判定してよい。

【0124】

以上説明した半導体デバイス試験装置100は、処理部120において、それぞれ図2から図8に関連して説明した第1の構成、図9から図16に関連して説明した第2の構成、及び図17から図22に関連して説明した第3の構成のうちの一つの構成を有していたが、半導体デバイス試験装置100は、第1の構成、第2の構成、及び第3の構成を任意に組み合わせた構成を有する処理部120を備えてよいことは明らかである。例えば、半導体デバイス試験装置100は、グ

リッチ検出機能を有する第3の構成と、第1の構成又は第2の構成とを組み合わせた処理部120及び判定部110を備えてよい。このように、複数の構成を組み合わせることにより、より精度よく且つ多機能な試験を行うことができる。

【0125】

図23は、本発明に係る半導体デバイス試験方法の一例のフローチャートを示す。まず、第1マルチストローク発生段階で、半導体デバイスの出力データに対して、わずかずつ位相の異なる複数のストロークを有する第1マルチストロークを発生する(S102)。S102では、例えば図9に関連して説明した第1マルチストローク発生器34、又は図18に関連して説明した第1マルチストローク発生器154を用いて、第1マルチストロークを発生してよい。

【0126】

次に、出力データ変化点検出段階で、第1マルチストロークに基づいて、出力データの波形の立上がり又は立下がりのタイミングを検出する(S104)。S104では、例えば図9に関連して説明した出力データ変化点検出部176、又は図18に関連して説明した出力データ変化点検出部142を用いて、出力データの波形の立上がり又は立下がりのタイミングを検出してよい。

【0127】

次に、グリッチ検出段階で、出力データの値の変化点に基づいて、出力データにおけるグリッチの有無を検出する(S106)。S106では、図18に関連して説明した検出器146を用いて、出力データにおけるグリッチの有無を検出してよい。

【0128】

次に、第2マルチストローク発生段階で、半導体デバイスの出力データに対して、わずかずつ位相の異なる複数のストロークを有する第2マルチストロークを発生する(S108)。S108では、例えば図9に関連して説明した第2マルチストローク発生器174を用いて、第2マルチストロークを発生してよい。

【0129】

次に、基準クロック変化点検出段階で、第2マルチストロークに基づいて、基準クロックの波形の立上がり又は立下がりのタイミングを検出する(S110)

。S110では、例えば図9に関連して説明した基準クロック変化点検出部178を用いて、基準クロックの波形の立上がり又は立下がりのタイミングを検出してよい。

【0130】

次に、判定段階で、出力データ変化点検出段階が検出した、出力データの波形の立上がり又は立下がりのタイミングと、基準クロック変化点検出段階が検出した、基準クロックの波形の立上がり又は立下がりのタイミングと、グリッチ検出段階が検出したグリッチの有無とに基づいて、半導体デバイスの良否を判定する(S112)。例えば、判定段階は、出力データにグリッチがある場合に、半導体デバイスを不良と判定し、出力データにグリッチが無い場合、図9に関連して説明した判定部110を用いて、半導体デバイスの良否を判定してよい。

【0131】

以上説明した半導体デバイス試験方法によれば、極めて短時間に、出力データ及び基準クロックDQSの波形の立上がり又は立下がりを検出することができ、効率的に試験を行うことができる。また、出力データにおけるグリッチの有無を容易に検出でき、精度のよい試験を行うことができる。

【0132】

図24は、本発明に係る半導体デバイス試験方法の他の例のフローチャートを示す。まず基準位相計測段階で、基準クロックの出力タイミングを計測する(S202)。S202では、例えば図2に関連して説明した基準位相計測部172を用いて、基準クロックの出力タイミングを計測してよい。

【0133】

次に、基準位相記憶段階で、計測した出力タイミングを記憶する(S204)。S204では、例えば図2に関連して説明したメモリ32を用いて、出力タイミングを計測してよい。

【0134】

次に、第1マルチストローク発生段階で、半導体デバイスの出力データに対して、わずかずつ位相の異なる複数のストロークを有する第1マルチストロークを発生する(S206)。S206では、例えば図2に関連して説明した第1マル

チストローブ発生器 34、又は図 18 に関連して説明した第 1 マルチストローブ発生器 154 を用いて、第 1 マルチストローブを発生してよい。

【0135】

次に、出力データ変化点検出段階で、第 1 マルチストローブに基づいて、出力データの値の変化点を検出する (S208)。S208 では、例えば図 18 に関連して説明した出力データ変化点検出部 142 を用いて、出力データの値の変化点を検出してよい。

【0136】

次に、位相差計測段階で、基準クロック DQS の出力タイミングと、出力データの値の変化点との位相差を計測する (S210)。S210 では、例えば図 2 に関連して説明した論理比較器 12 を用いて、位相差を計測してよい。

【0137】

次に、グリッチ検出段階で、出力データの値の変化点に基づいて、出力データにおけるグリッチの有無を検出する (S212)。S212 では、例えば図 18 に関連して説明した検出器 146 を用いて、グリッチの有無を検出してよい。

【0138】

次に、判定段階で、S212 で検出したグリッチの有無、及び S210 で計測した位相差に基づいて、半導体デバイスの良否を判定する (S214)。S214 では、例えば図 23 に関連して説明した判定段階と同様の方法で、半導体デバイスの良否を判定してよい。

【0139】

以上説明した半導体デバイス試験方法によれば、極めて短時間に、出力データ及び基準クロック DQS の波形の立上がり又は立下がりを検出することができ、効率的に試験を行うことができる。また、出力データにおけるグリッチの有無を容易に検出でき、精度のよい試験を行うことができる。

【0140】

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更又は改良を加えることが可能であることが当業者に明らかである。その様な変更又は改

良を加えた形態も本発明の技術的範囲に含まれ得ることが、特許請求の範囲の記載から明らかである。

【0 1 4 1】

【発明の効果】

上記説明から明らかなように、本発明によれば、極めて短時間に、半導体デバイス 1 0 8 の出力データ及び基準クロック D Q S の波形の立上がり又は立下がりのタイミングを検出でき、出力データ及び基準クロックの位相差を算出できる。そのため、効率的に試験を行うことができる。また、グリッチを容易に検出することができ、精度のよい試験を行うことができる。

【図面の簡単な説明】

【図 1】 本発明に係る試験装置 1 0 0 の構成の一例を示す。

【図 2】 半導体デバイス試験装置 1 0 0 の処理部 1 2 0 及び判定部 1 1 0 の詳細な構成の一例を示す。

【図 3】 第 2 マルチストローブ発生器 3 0 が発生する第 2 マルチストローブの一例を示す。

【図 4】 第 2 マルチストローブ発生器 3 0 が発生する第 2 マルチストローブの他の例を示す。

【図 5】 信号読取回路 4 0 及び比較判定手段 5 0 の構成の一例を示す。

【図 6】 変換手段 3 1 の動作アルゴリズムを示す。

【図 7】 タイミング選択回路 3 3 の構成の一例を示す。

【図 8】 第 2 マルチストローブ発生器 3 0 の変形実施例を示す。

【図 9】 処理部 1 2 0 及び判定部 1 1 0 の構成の他の例を示す。

【図 1 0】 データストローブ番号変換手段 3 1 D 及び基準ストローブ番号変換手段 3 1 R の動作アルゴリズムを示す。

【図 1 1】 位相比較部 6 0 の構成の一例を示す。

【図 1 2】 位相比較部 6 0 における演算の一例を示す。

【図 1 3】 位相比較部 6 0 における演算の他の例を示す。

【図 1 4】 良否判定手段 7 0 とスペック設定器 7 1 の構成の一例を示す。

【図 1 5】 処理部 1 2 0 及び判定部 1 1 0 の変形実施例を示す。

【図 16】 メモリ 80 が格納する参照表の一例を示す。

【図 17】 処理部 120 及び判定部 110 の構成の他の例を示す。

【図 18】 グリッチ検出部 140 の構成の一例を示す。

【図 19】 プライオリティエンコーダ 144 の構成の一例を示す。

【図 20】 図 19 に示したプライオリティエンコーダ 144 が受け取るデジタル信号と、出力するデジタル信号の一例を示す。

【図 21】 検出器 146 の構成の一例を示す。

【図 22】 メモリ 128 が格納するデータの処理及びデータ構成の一例を示す。

【図 23】 本発明に係る半導体デバイス試験方法の一例のフローチャートを示す。

【図 24】 本発明に係る半導体デバイス試験方法の他の例のフローチャートを示す。

【図 25】 従来の半導体デバイス試験装置の構成を示す。

【図 26】 メモリの読み出し時の様子を示す。

【図 27】 各半導体デバイス毎に基準クロック DQS1、DQS2、DQS3…の位相に差が発生する現象を示す。

【図 28】 従来用いられている基準クロック DQS の立上りおよび立下りのタイミングを測定するための部分を示す。

【図 29】 DQS に対するストローブの位相の一例を示す。

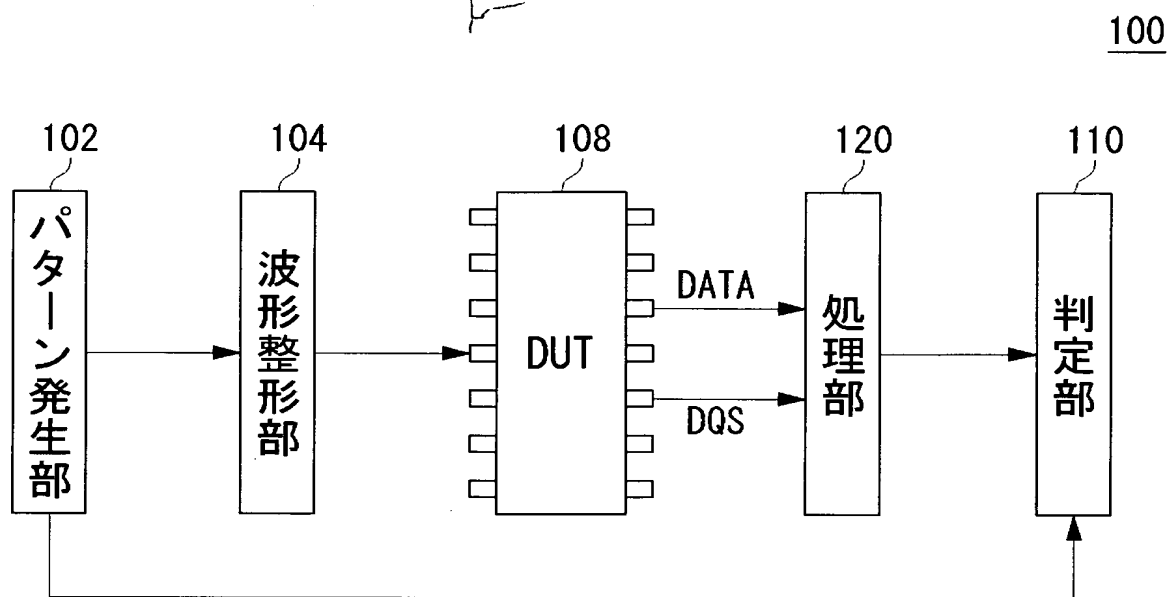
【符号の説明】

10・・・レベル比較器、12・・・論理比較器、18・・・不良解析メモリ、30・・・第2マルチストローブ発生器、31・・・変換手段、32・・・メモリ、33・・・タイミング選択回路、34・・・第1マルチストローブ発生器、40・・・信号読取回路、50・・・比較判定手段、60・・・位相比較部、70・・・良否判定手段、71・・・スペック設定器、80・・・メモリ、100・・・半導体デバイス試験装置、102・・・パターン発生器、104・・・波形整形部、108・・・半導体デバイス、110・・・判定部、120・・・処理部、122・・・タイミング発生器、124・・・タイミング比較器、126

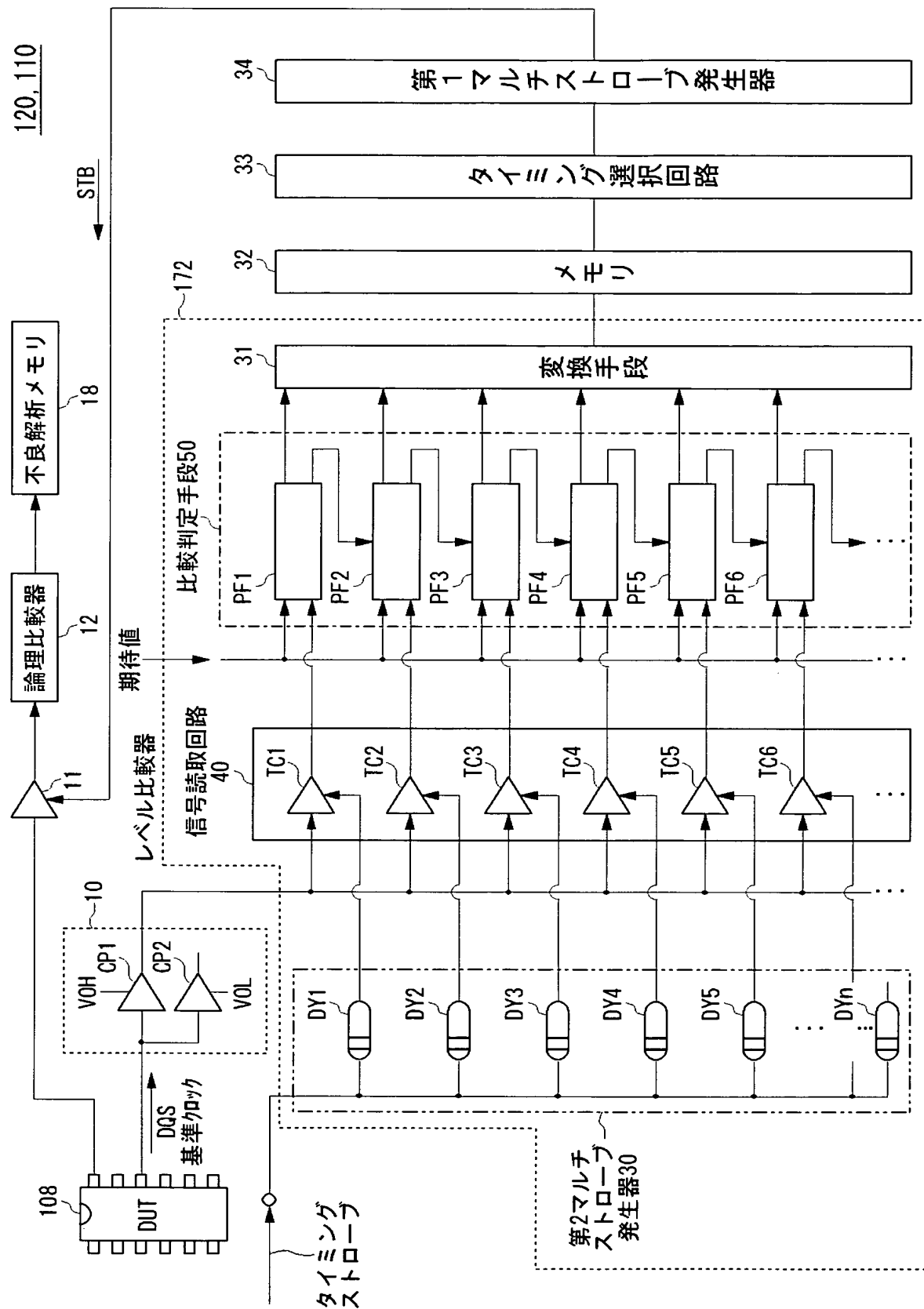
・ ・ ・ セレクタ、 1 2 8 ・ ・ ・ メモリ、 1 4 0 ・ ・ ・ グリッチ検出部、 1 4 2 ・
・ ・ 出力データ変化点検出部、 1 4 4 ・ ・ ・ プライオリティエンコーダ、 1 4 6
・ ・ ・ 検出器、 1 4 8 ・ ・ ・ メモリ、 1 5 4 ・ ・ ・ 第 1 マルチストローブ発生器
、 1 6 2 ・ ・ ・ セレクタ、 1 7 6 ・ ・ ・ 出力データ変化点検出部、 1 7 8 ・ ・ ・
基準クロック変化点検出部

【書類名】 図面

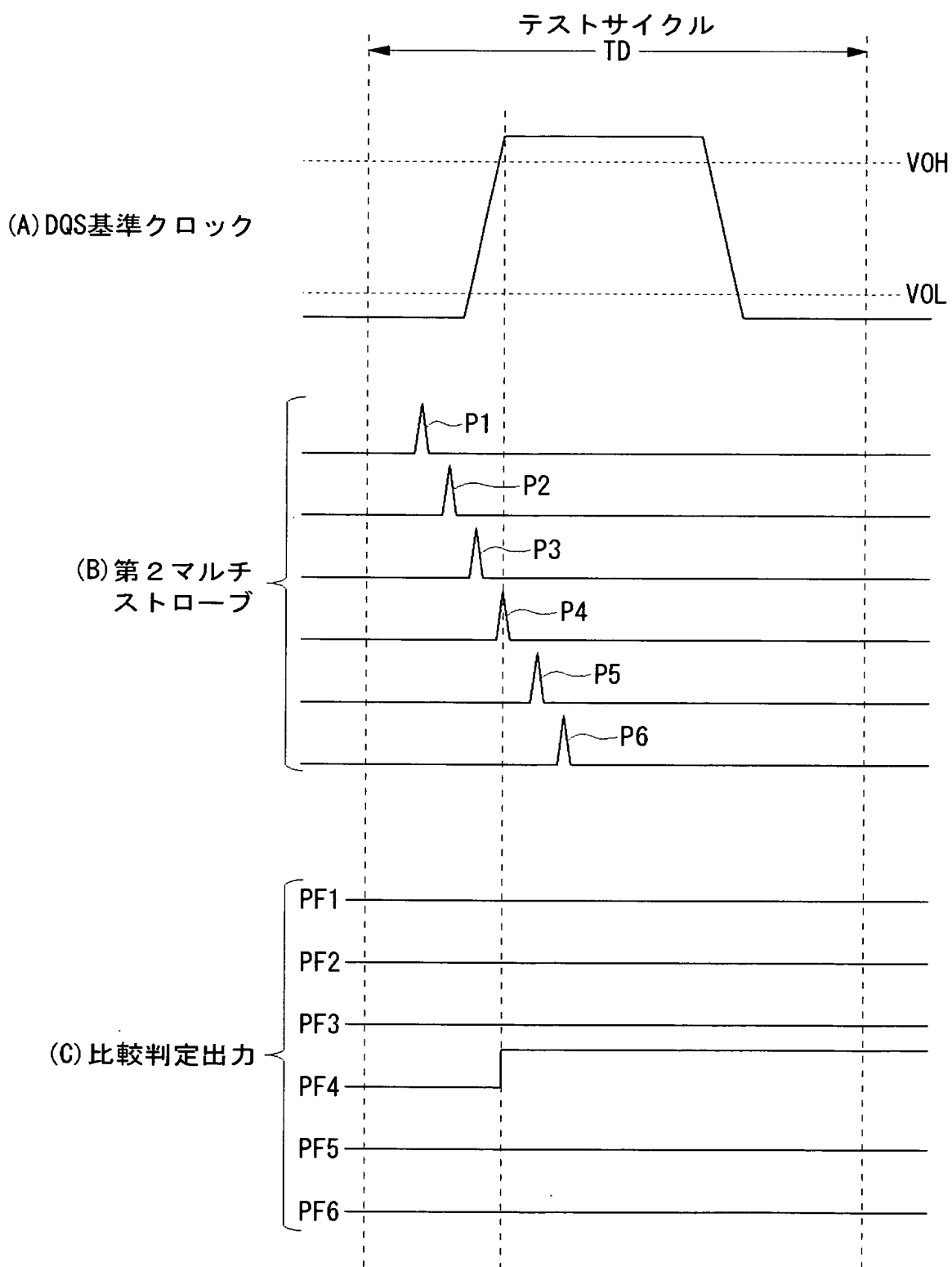
【図 1】



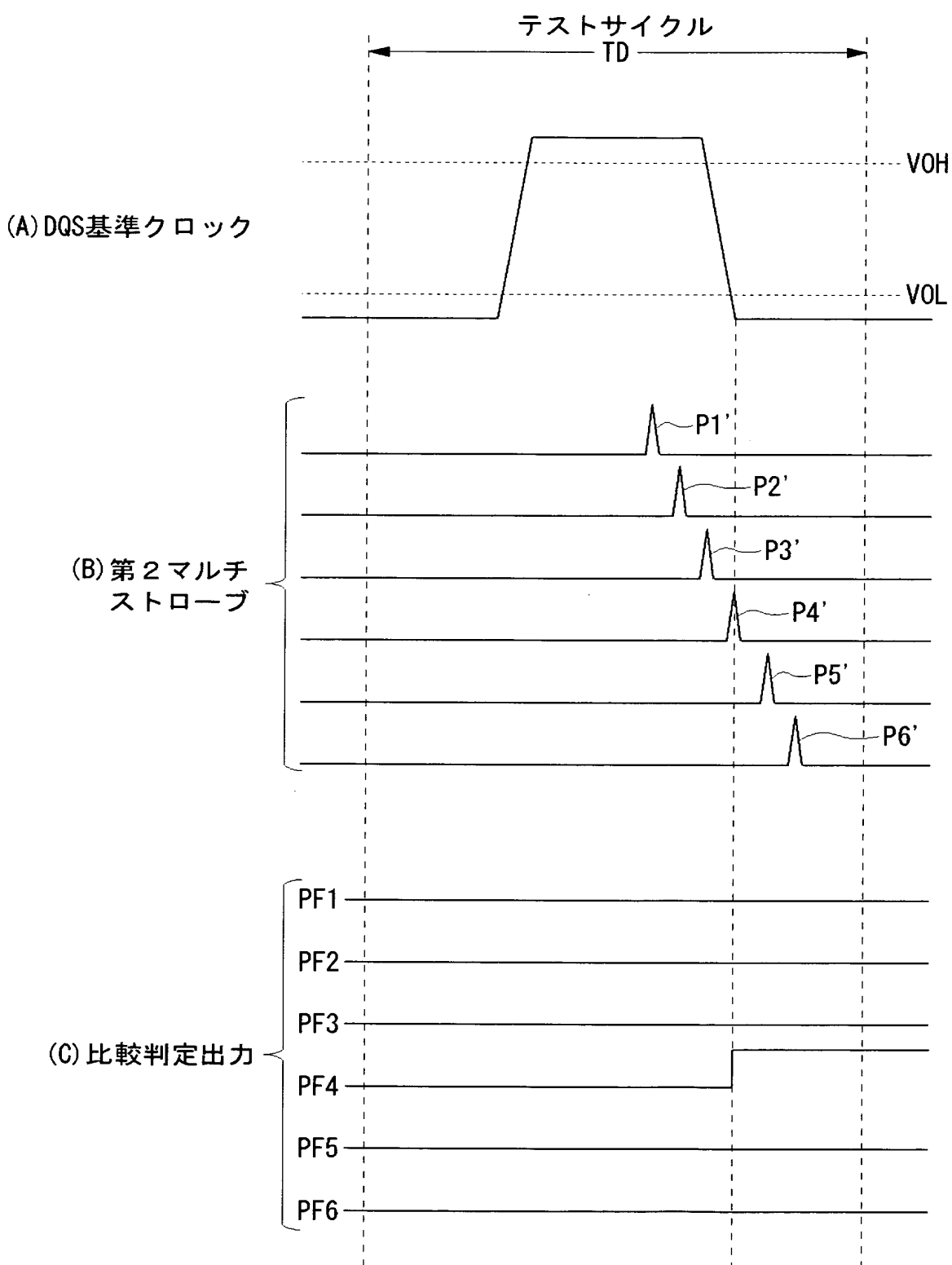
【図 2】



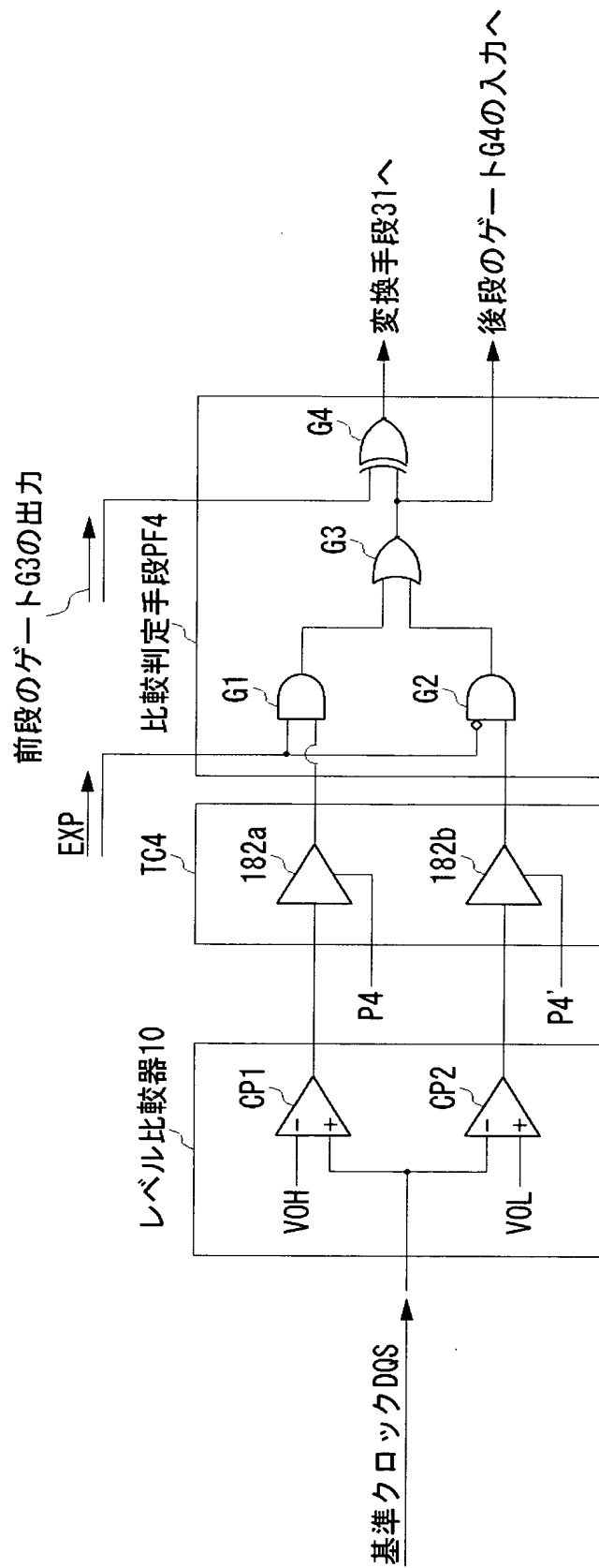
【図 3】



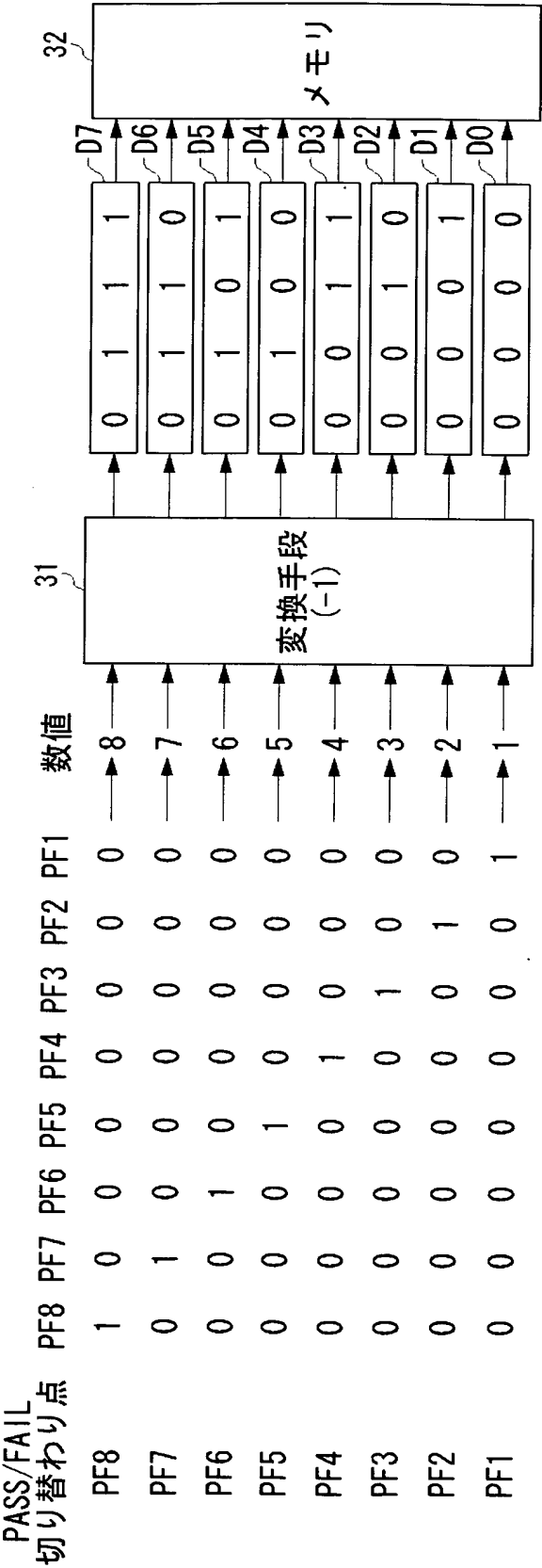
【図 4】



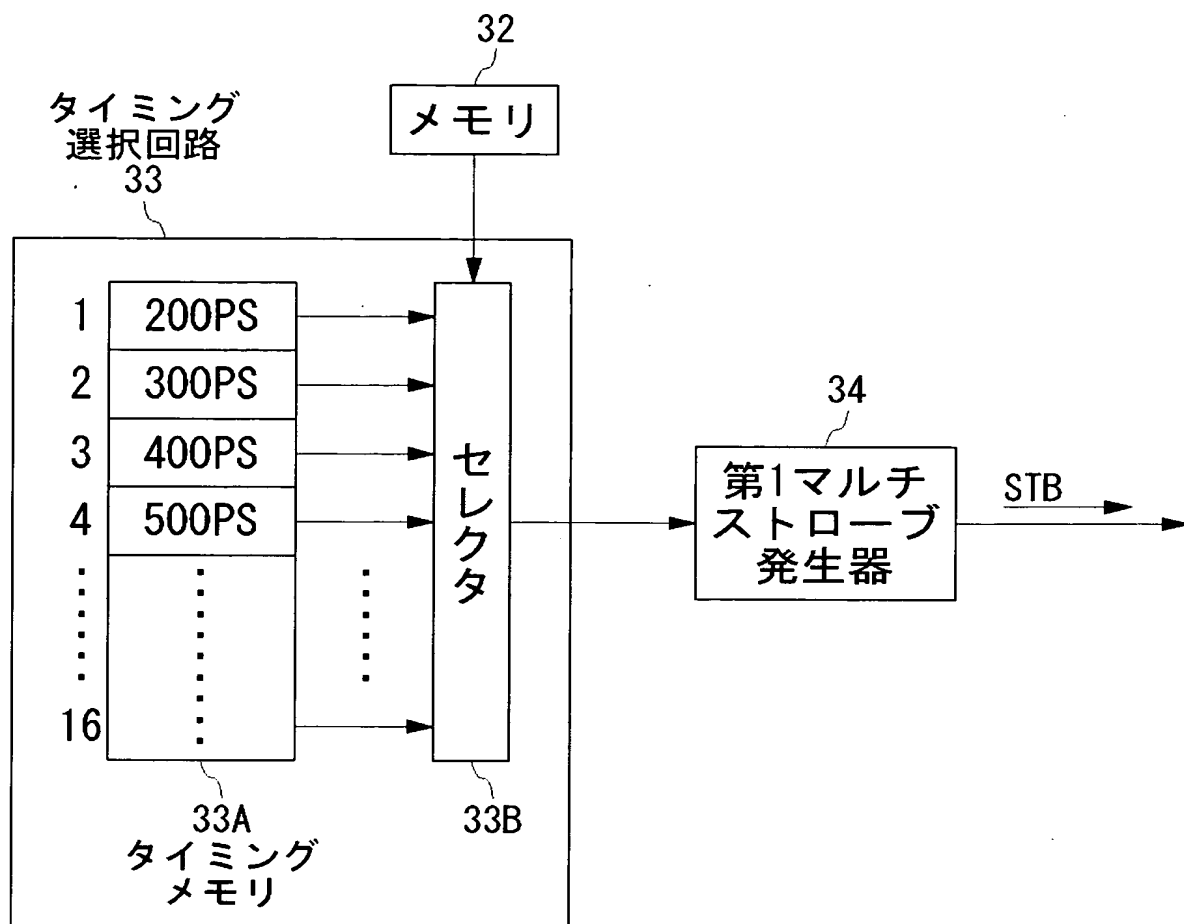
【図 5】



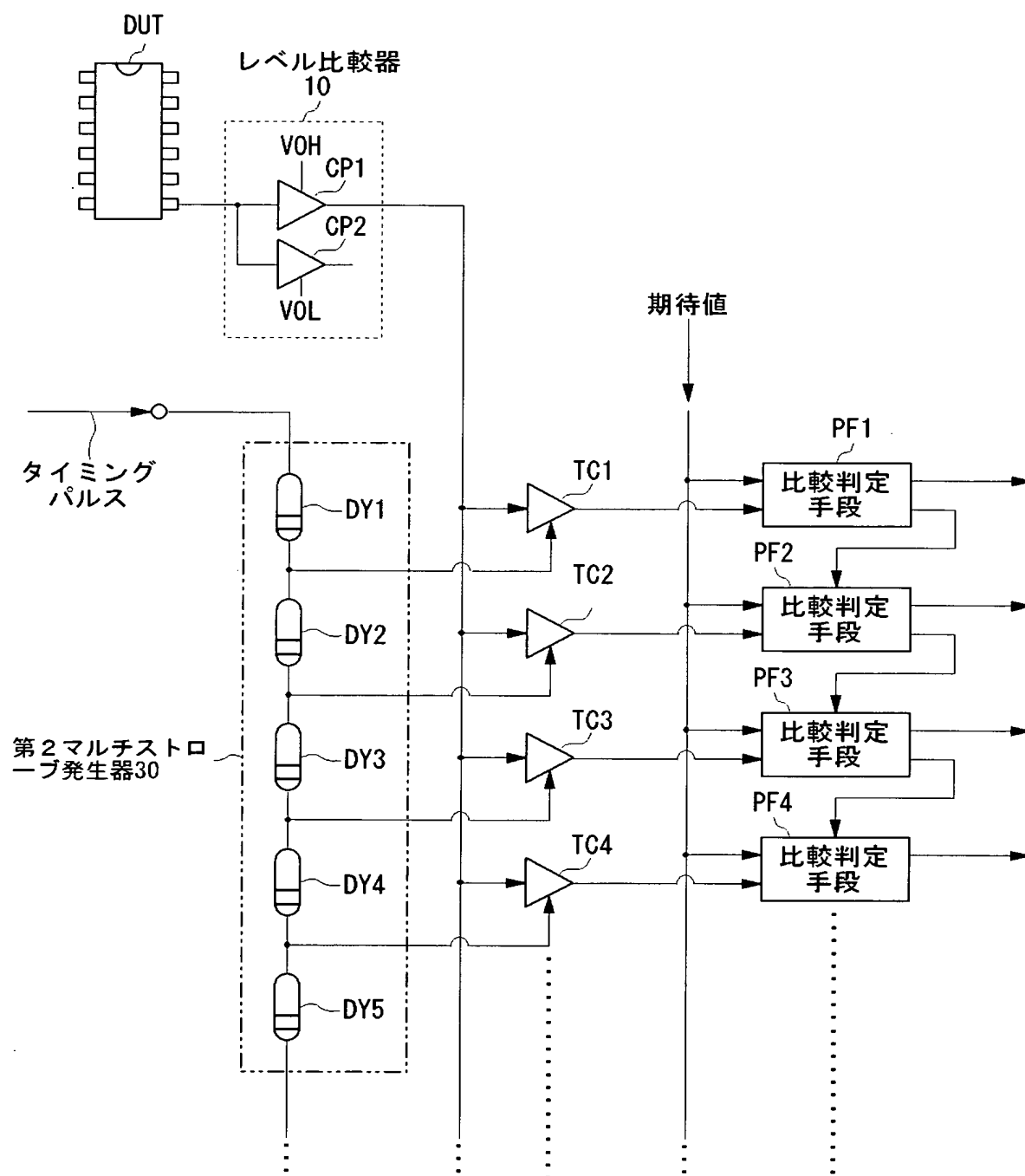
【図6】



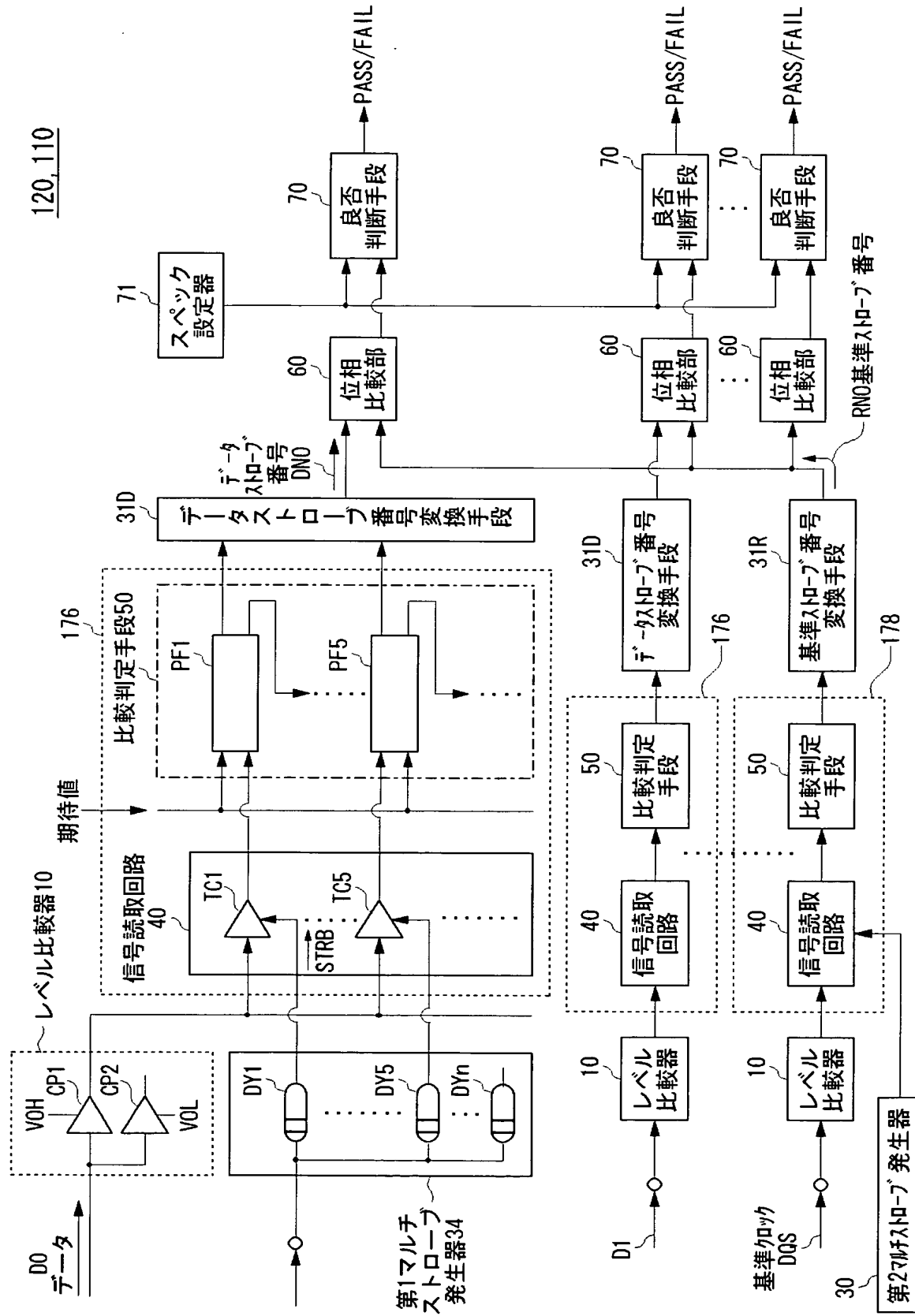
【図 7】



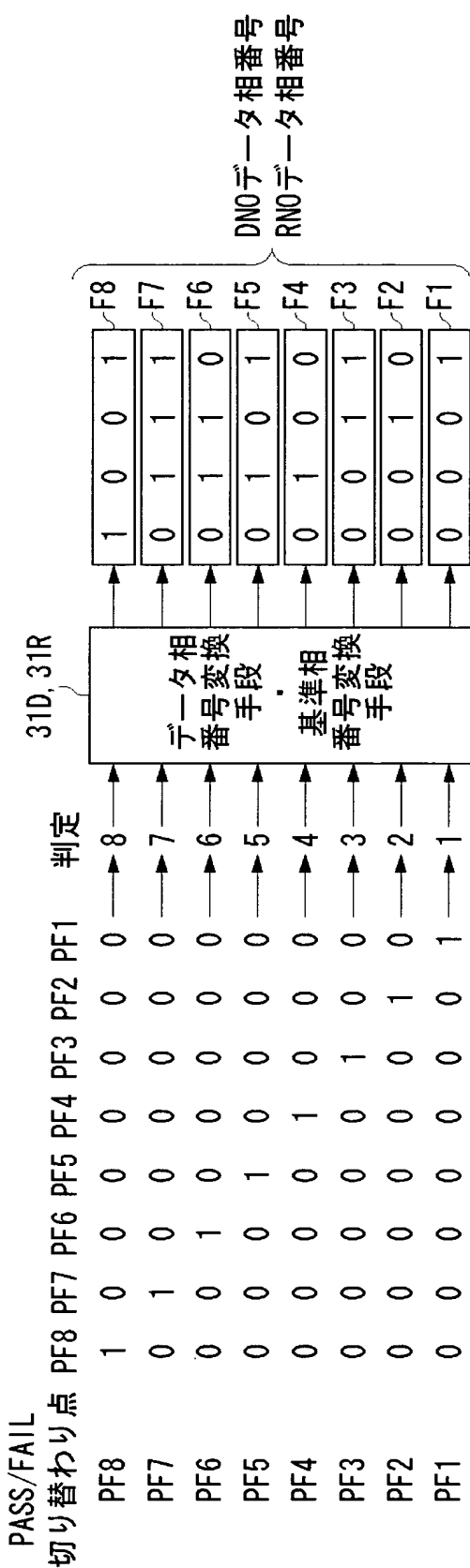
【図 8】



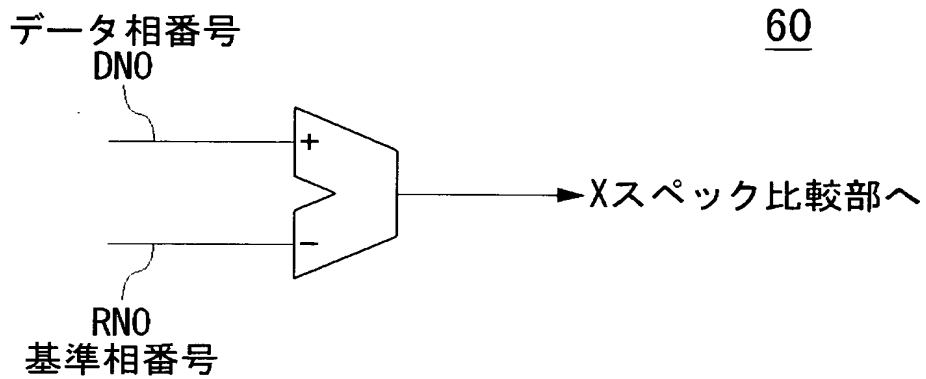
【図9】



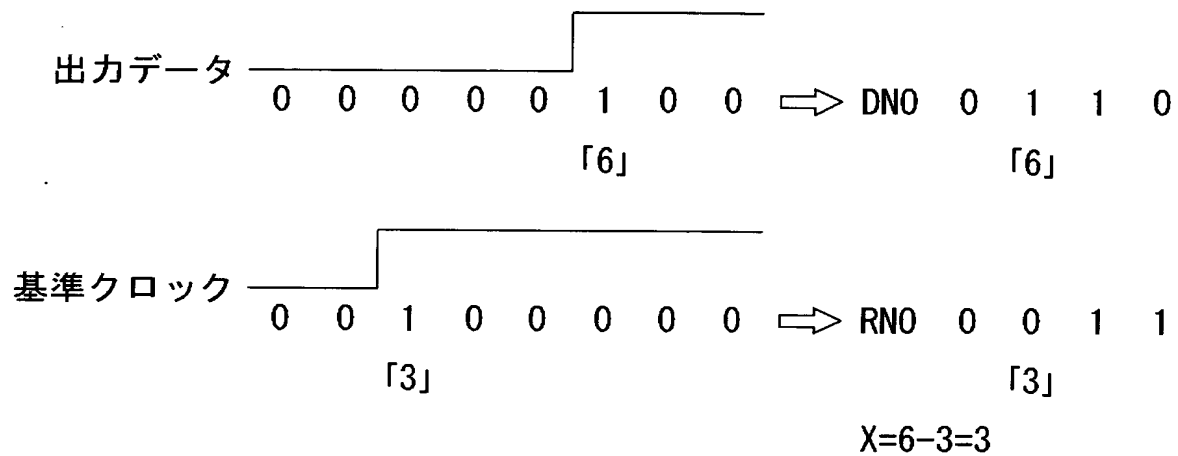
【図 10】



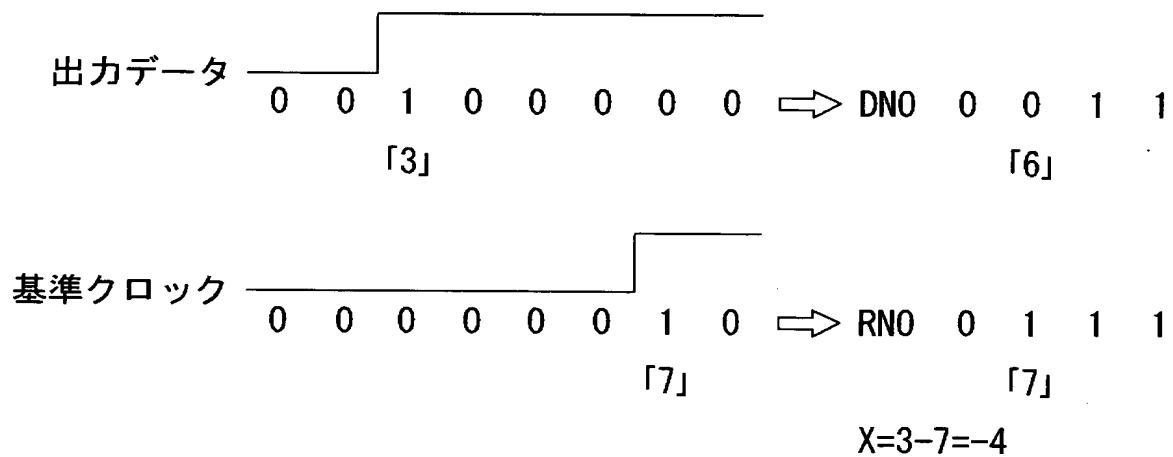
【図 1 1】



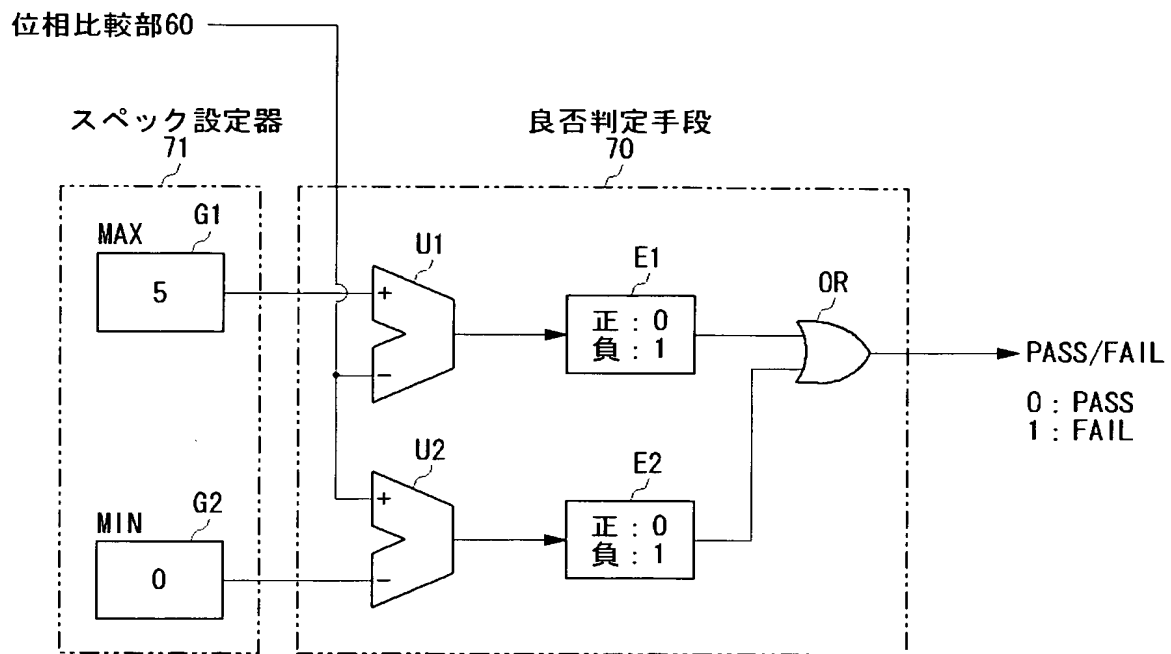
【図 1 2】



【図 1 3】



【図 14】



【図 16】

(A)

	8	7	6	5	4	3	2	1	0
	7	6	5	4	3	2	1	0	-1
	6	5	4	3	2	1	0	-1	-2
	5	4	3	2	1	0	-1	-2	-3
	4	3	2	1	0	-1	-2	-3	-4
	3	2	1	0	-1	-2	-3	-4	-5
	2	1	0	-1	-2	-3	-4	-5	-6
	1	0	-1	-2	-3	-4	-5	-6	-7
		1	2	3	4	5	6	7	8

データストローブ番号 ↑ DNO

→ RNO基準ストローブ番号

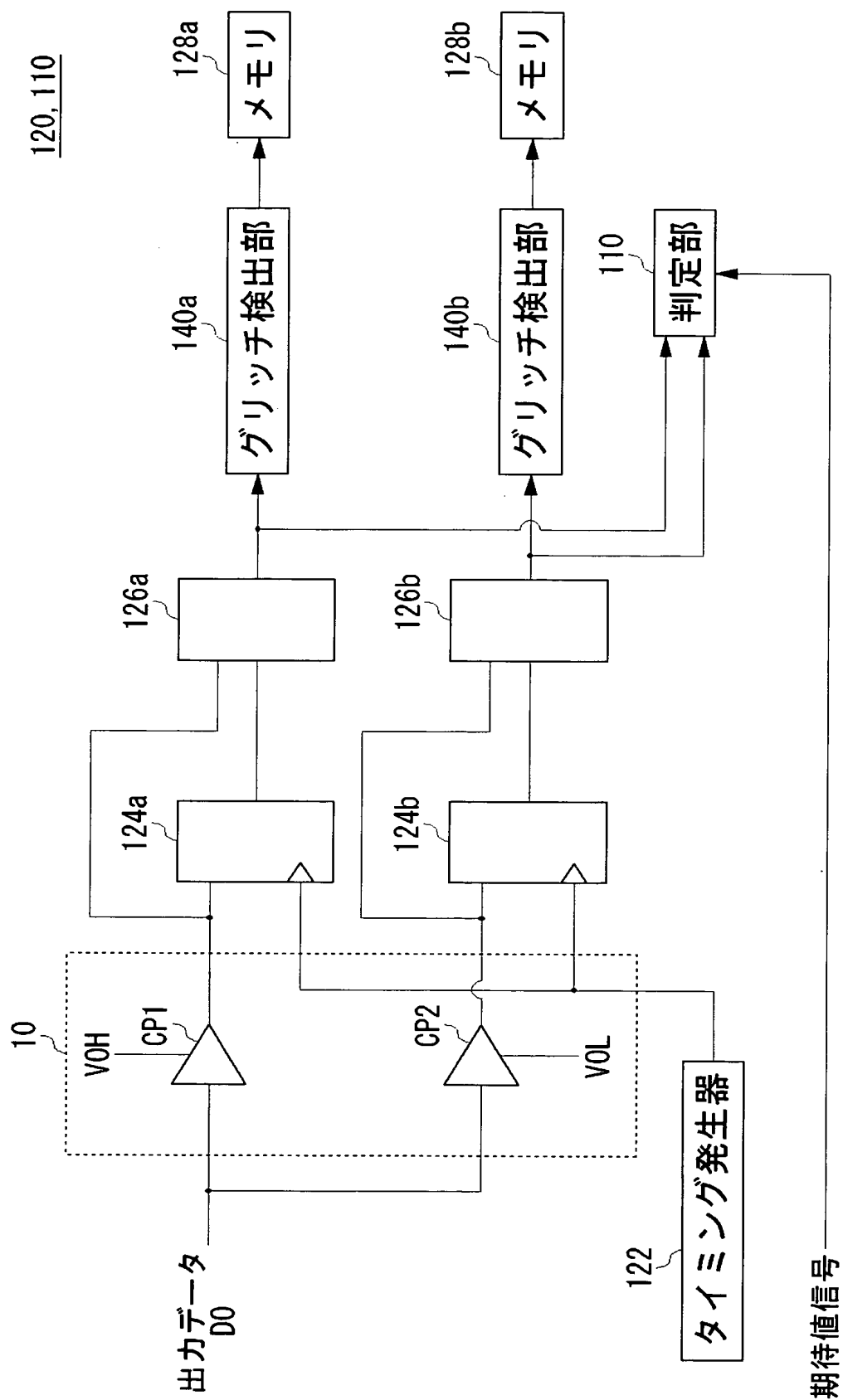
(B)

	8	F	F	F	F	F	P	P	P
	7	F	F	F	F	P	P	P	P
	6	F	F	F	P	P	P	P	P
	5	F	F	P	P	P	P	P	F
	4	F	P	P	P	P	P	F	F
	3	P	P	P	P	P	F	F	F
	2	P	P	P	P	F	F	F	F
	1	P	P	P	F	F	F	F	F
		1	2	3	4	5	6	7	8

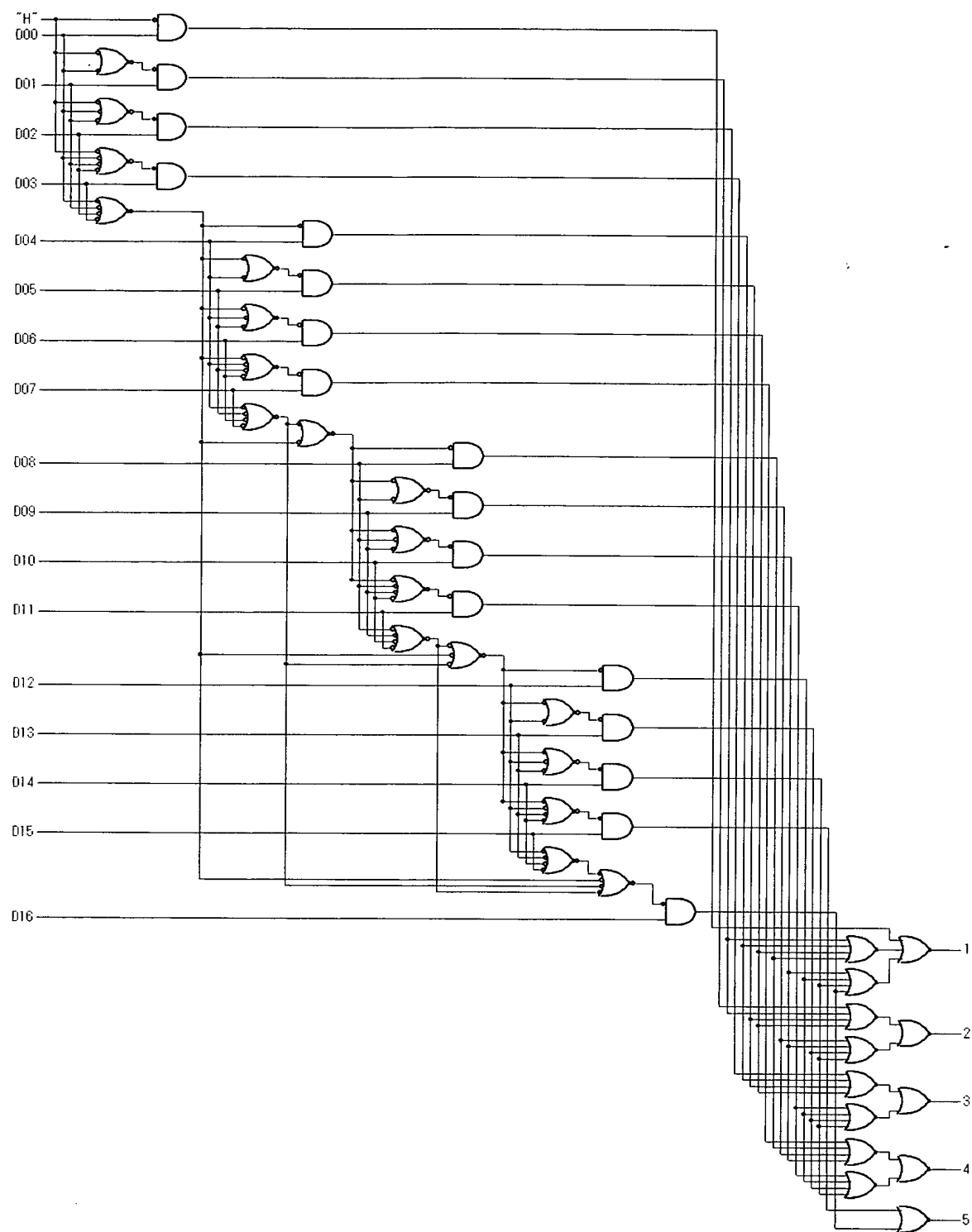
データストローブ番号 ↑ DNO

→ RNO基準ストローブ番号

【図 17】



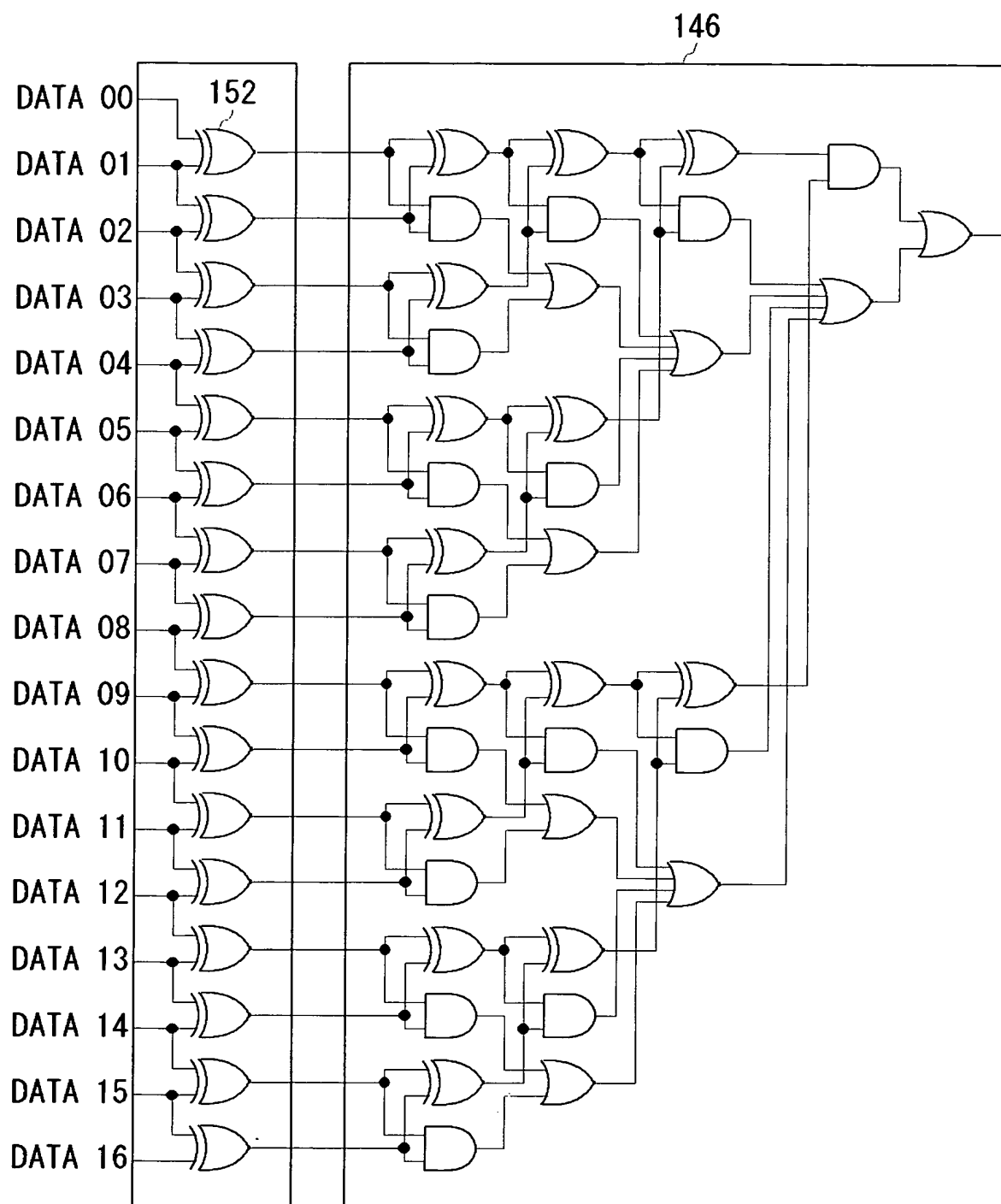
【図 19】



【図 20】

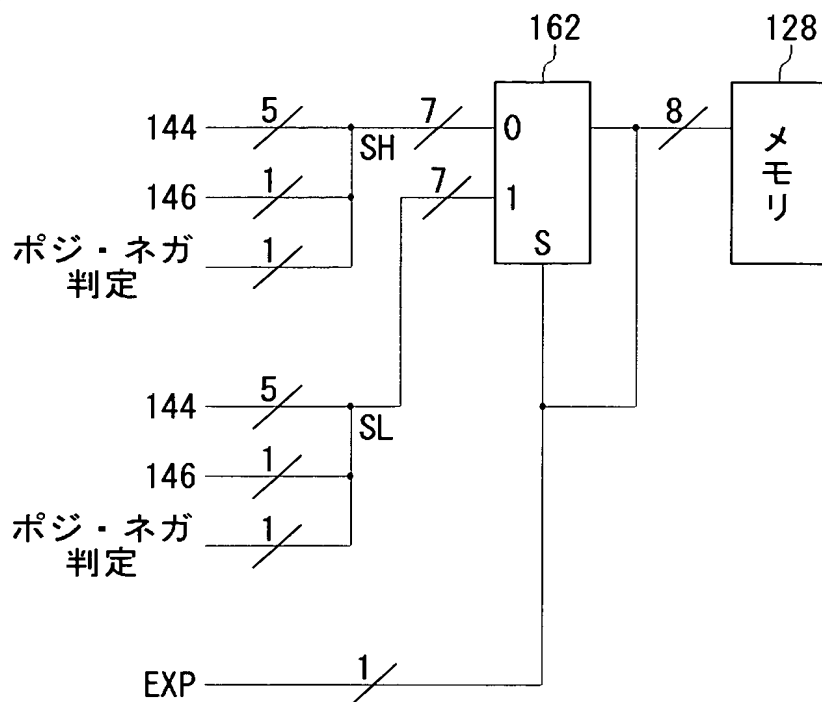
D16	D15	D14	D13	D12	D11	D10	D09	D08	D07	D06	D05	D04	D03	D02	D01	D00	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	00000
X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	1	00001
X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	1	0	00010
X	X	X	X	X	X	X	X	X	X	X	X	X	X	1	0	0	00011
X	X	X	X	X	X	X	X	X	X	X	X	X	1	0	0	0	00100
X	X	X	X	X	X	X	X	X	X	X	X	1	0	0	0	0	00101
X	X	X	X	X	X	X	X	X	X	X	1	0	0	0	0	0	00110
X	X	X	X	X	X	X	X	X	X	1	0	0	0	0	0	0	00111
X	X	X	X	X	X	X	X	X	1	0	0	0	0	0	0	0	01000
X	X	X	X	X	X	X	X	1	0	0	0	0	0	0	0	0	01001
X	X	X	X	X	X	X	1	0	0	0	0	0	0	0	0	0	01010
X	X	X	X	X	X	1	0	0	0	0	0	0	0	0	0	0	01011
X	X	X	X	X	1	0	0	0	0	0	0	0	0	0	0	0	01100
X	X	X	X	1	0	0	0	0	0	0	0	0	0	0	0	0	01101
X	X	X	1	0	0	0	0	0	0	0	0	0	0	0	0	0	01110
X	X	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	01111
X	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	10000
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	10001

【図 21】



【図 22】

(a)



(b)

D7	D6	D5	D4	D3	D2	D1	D0
EXP	グリッチ検出	ポジ・ネガ判定	変化点コード				

D0～D4: 変化点コード

#0 変化点無し

#1～#F 変化点(値-1)×50psの位相に変化点を検出した

D5: ポジ・ネガ判定

1のとき SH/SLの立ち下がりを検出した

0のとき SH/SLの立ち上がりを検出した

D6: グリッチ検出

1のとき グリッチを検出した

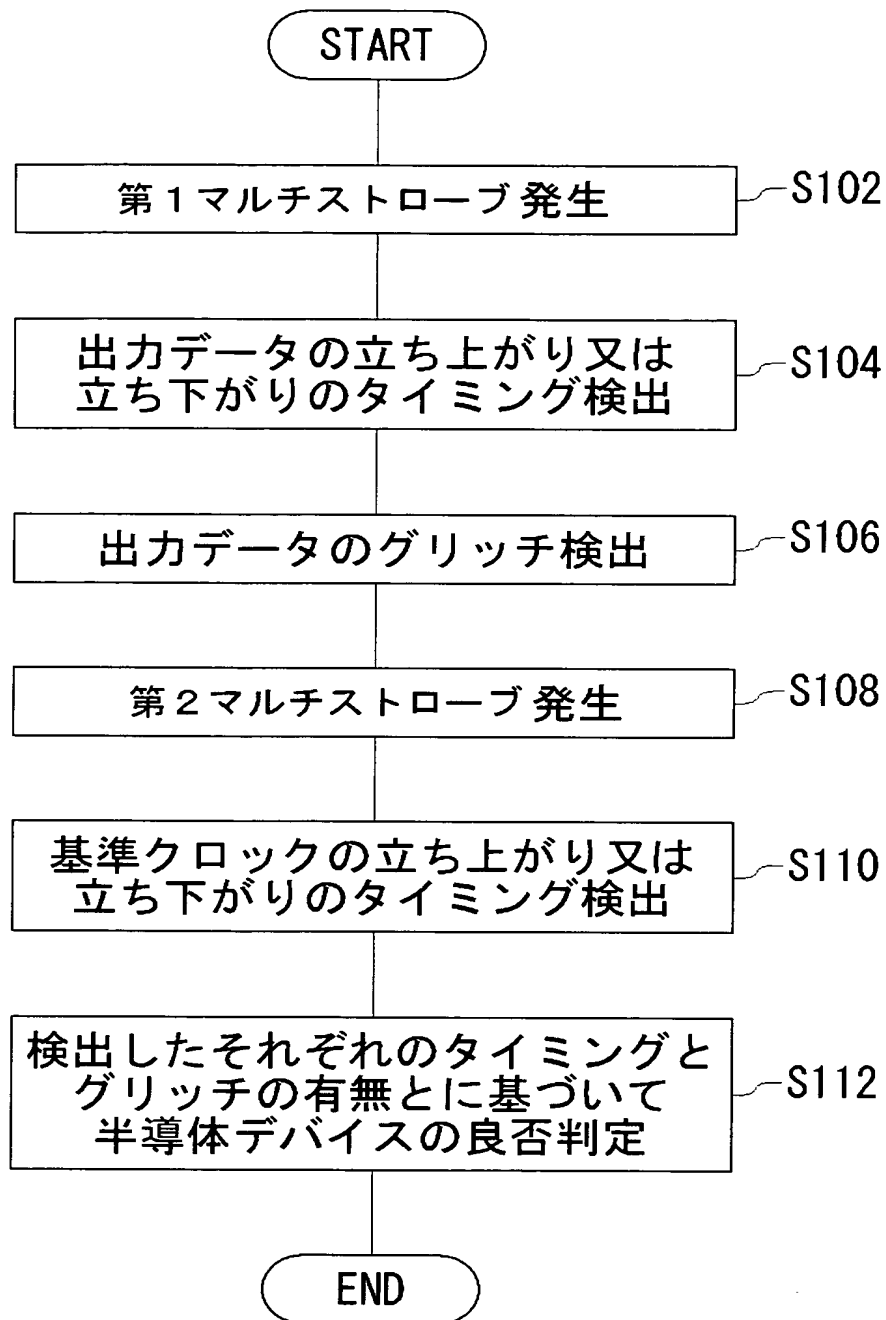
0のとき グリッチを検出なかった

D7: EXP

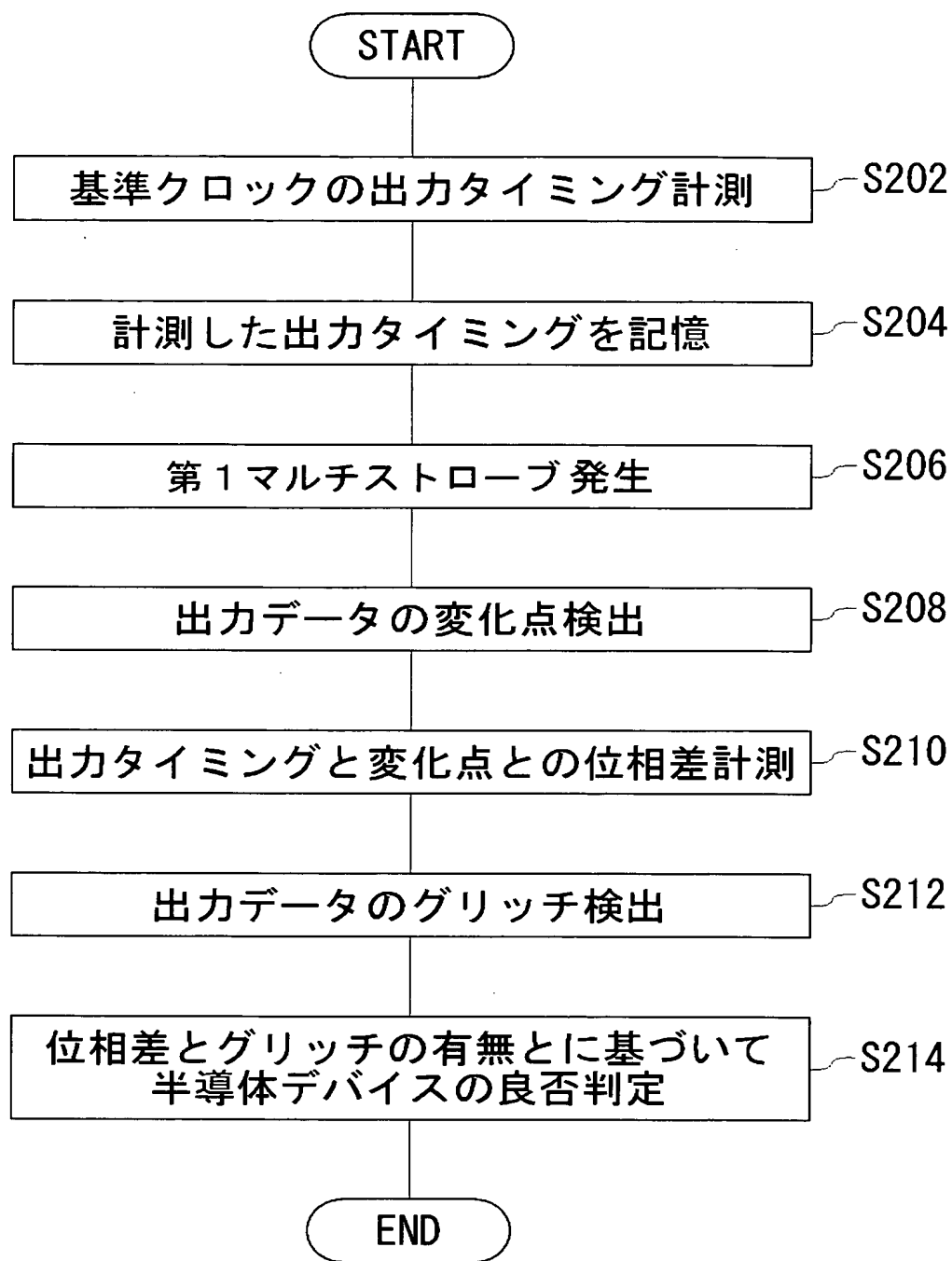
1のとき "H-Level"期待でFHがメモリされる

0のとき "L-Level"期待でFLがメモリされる

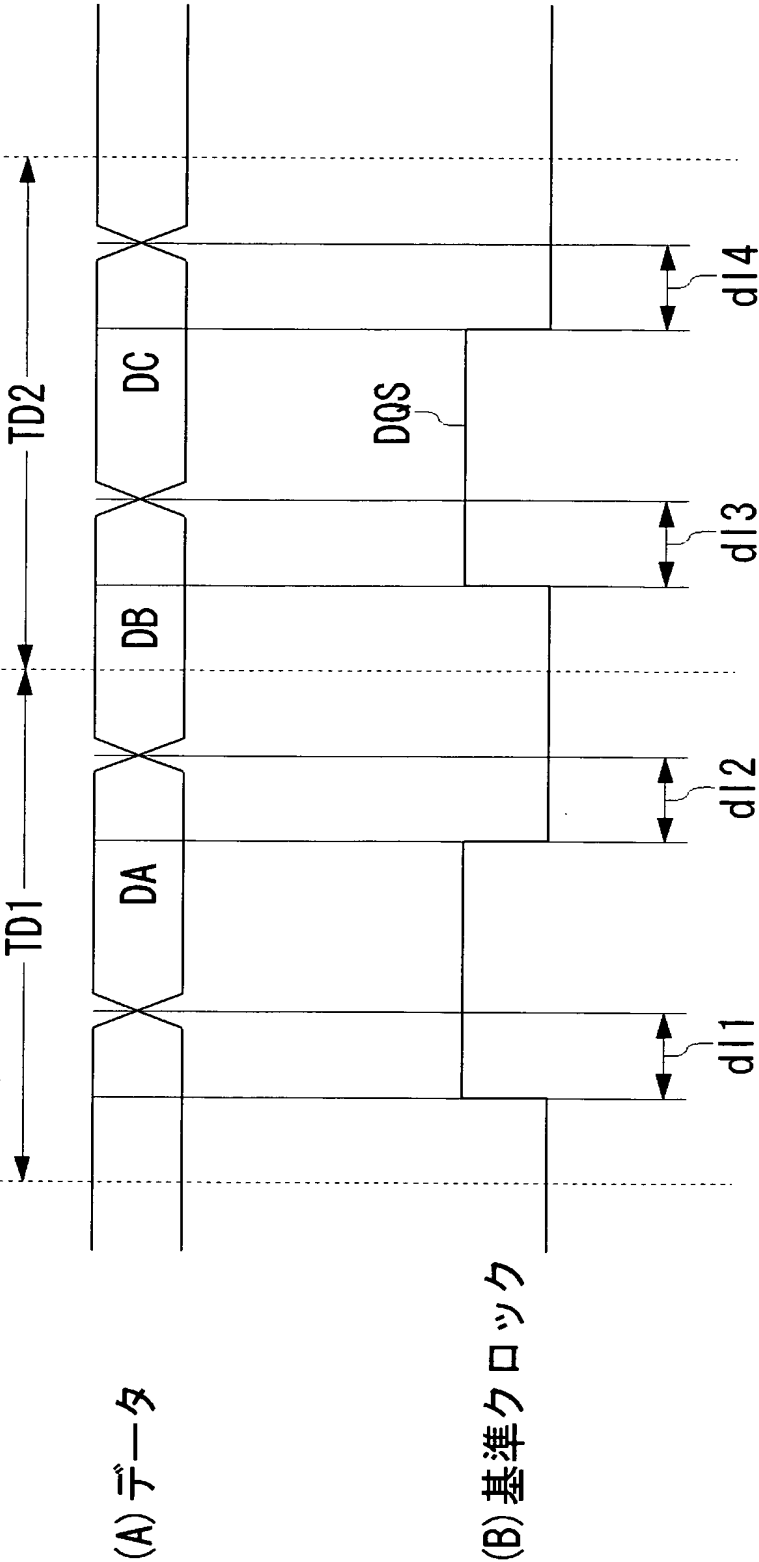
【図 23】



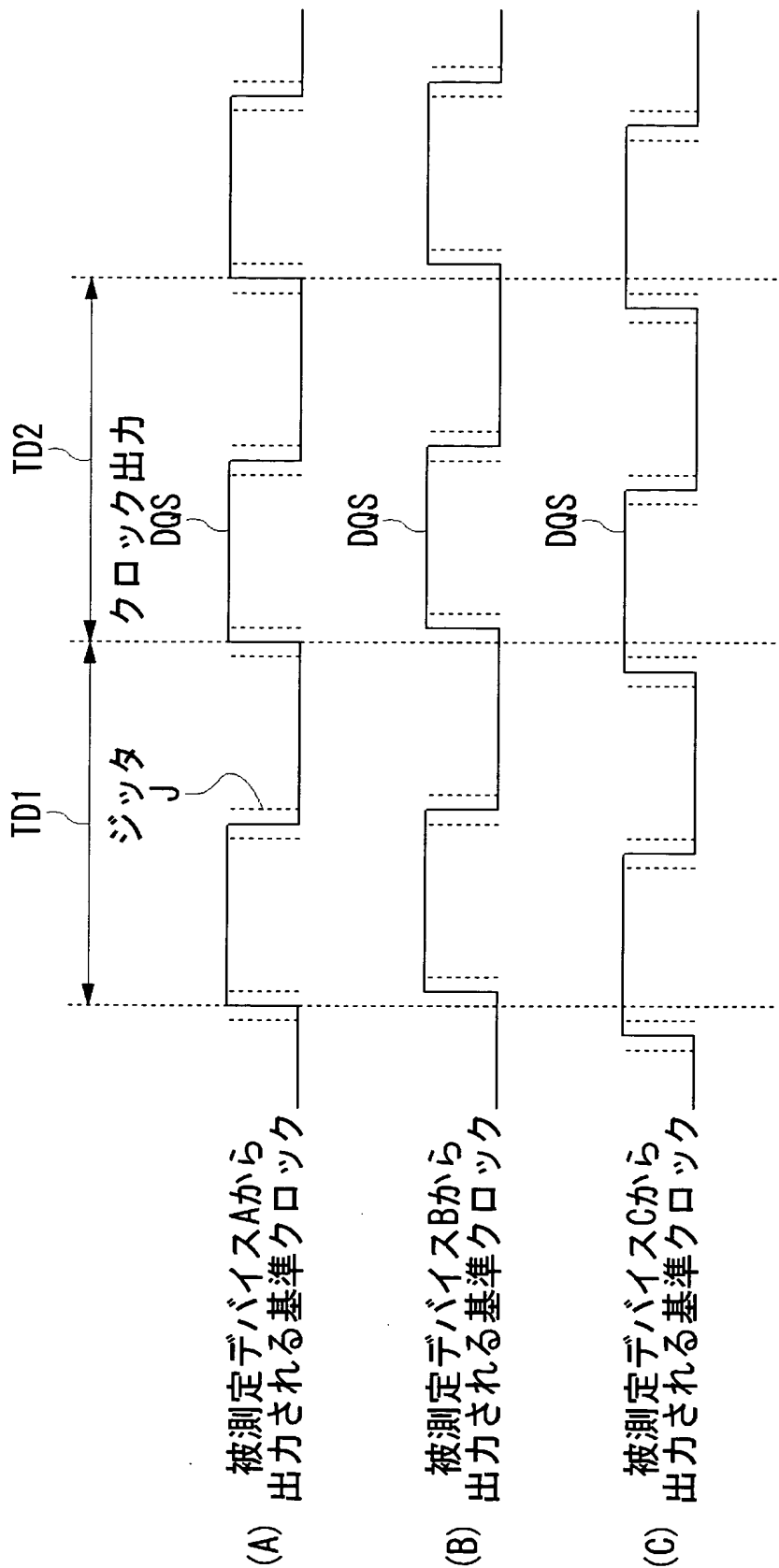
【図 24】



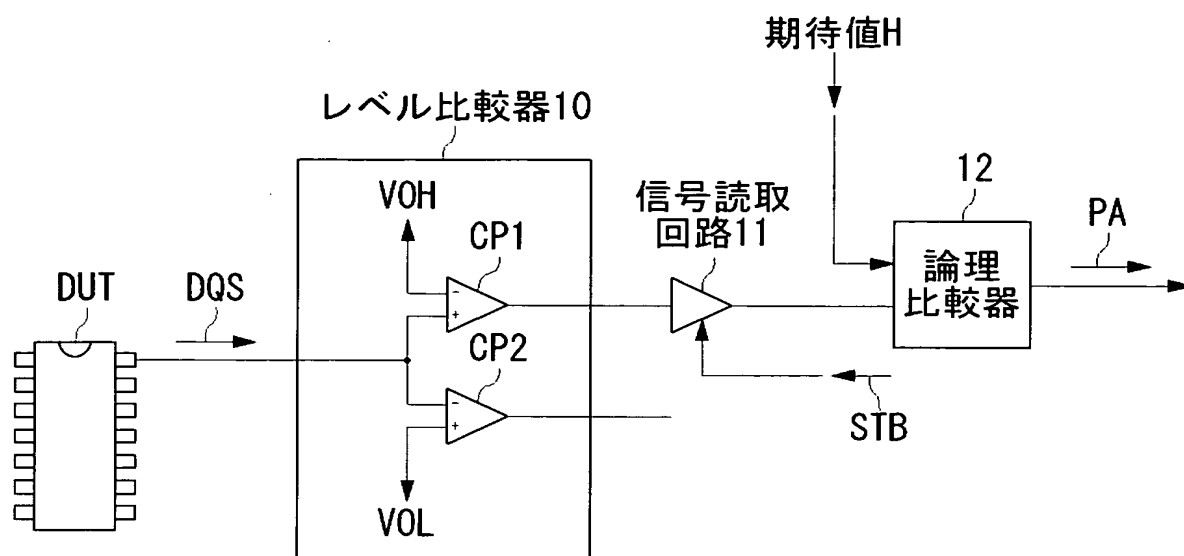
【図 2 6】



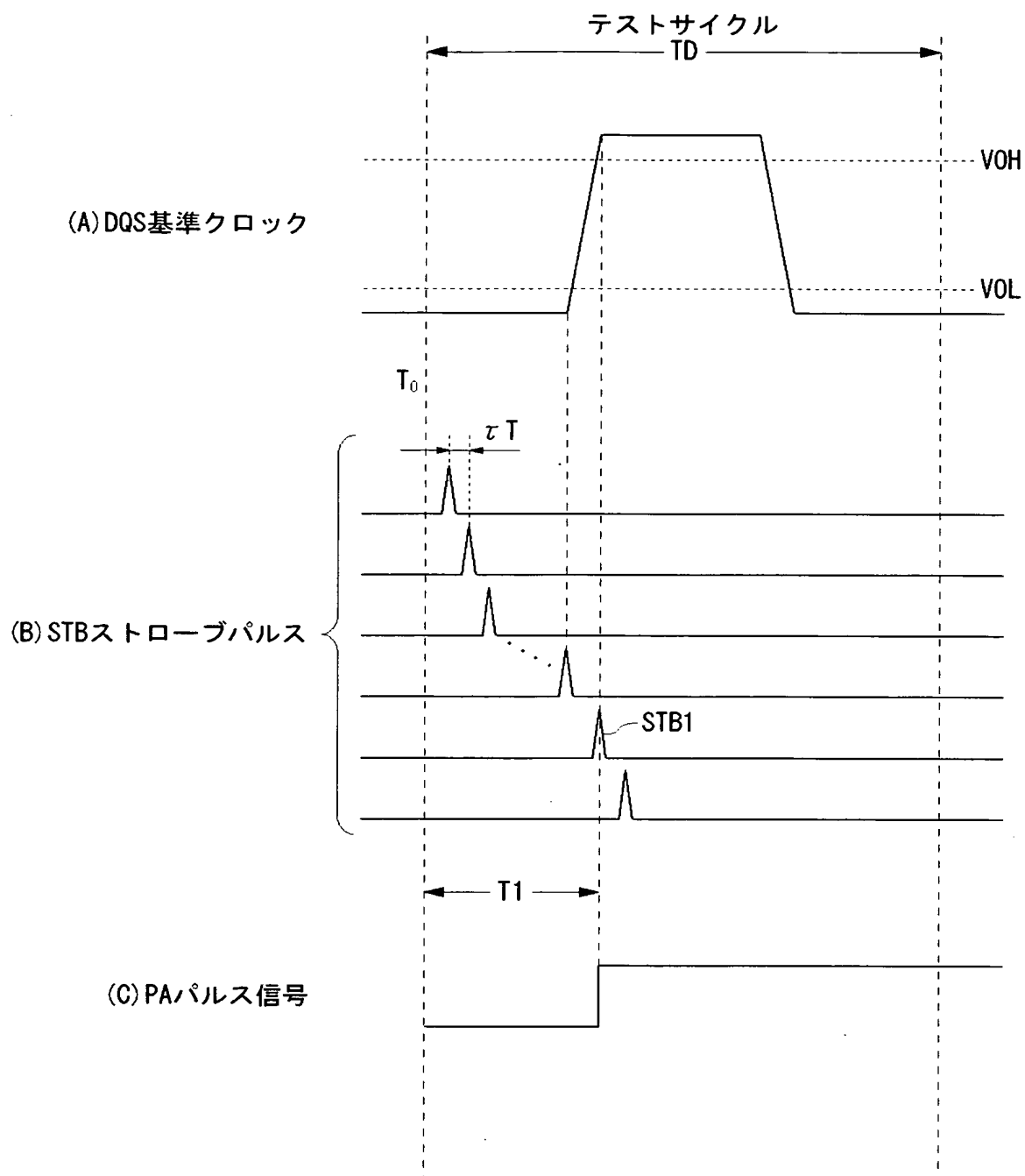
【図 27】



【図 28】



【図 29】



【書類名】 要約書

【要約】

【課題】 データの読み出しに同期してデータの受渡しに利用される基準クロック D Q S を出力する半導体デバイスを短時間に高精度に試験する試験装置を提案する。

【解決手段】 被試験半導体デバイスから読み出される各データの立上り又は立下りのタイミングと、これらのデータに同期して出力される基準クロックの立上り又は立下りのタイミングのそれぞれをわずかずつ位相差が与えられた多相パルスで構成されたストローブパルスでサンプリング動作して各データのタイミングと基準クロックのタイミングとの位相差をそれぞれ計測する。また、各データのグリッチを検出し、位相差及び／又はグリッチに基づいて被試験半導体デバイスの良否を判定する。

【選択図】 図 17

特願 2 0 0 1 - 1 7 9 1 0 6

出 願 人 履 歴 情 報

識別番号

[3 9 0 0 0 5 1 7 5]

1. 変更年月日

1 9 9 0 年 1 0 月 1 5 日

[変更理由]

新規登録

住 所

東京都練馬区旭町 1 丁目 3 2 番 1 号

氏 名

株式会社アドバンテスト